

Abschlussbericht

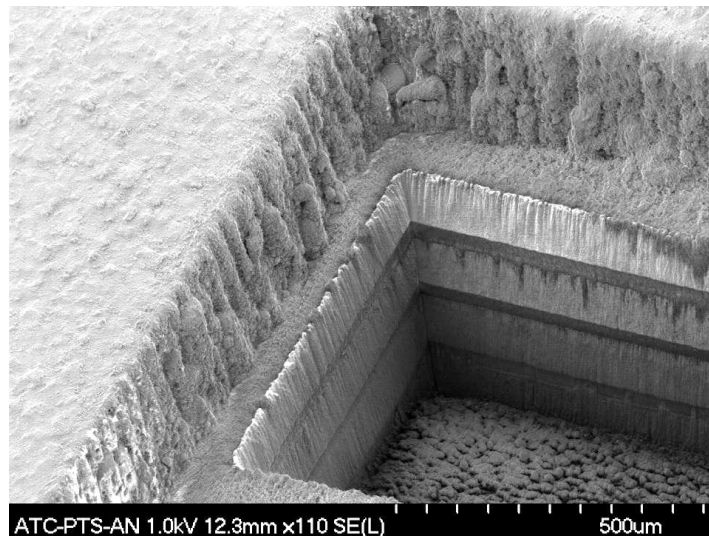
Teilvorhaben Infineon:

„Erfassung lokaler Werkstoffeigenschaften und
Entwicklung neuer Präparationsverfahren“

im industriegeführten Verbundprojekt
Fehlersuche und Fehleranalyse in komplexen Systemen
der Mikro- und Nanoelektronik
(Kurzwort: FULL CONTROL)

Autoren:

Klaus Pressel, Walter Mack, Stefan Martens, Bernd Krüger



Geschäftszeichen: 16SV2311

Laufzeit: 1.7.2006 – 31.12.2009

Gefördert vom

Bundesministerium für Bildung und Forschung (BMBF)

Projekträger: VDI/VDE Berlin

Inhalt

I. Projektbeschreibung	S. 3
1. Aufgabenstellung	S. 3
2. Voraussetzungen, unter denen das Vorhaben durchgeführt wurde	S. 5
3. Planung und Ablauf des Vorhabens	S. 6
4. Wissenschaftlicher und technischer Stand zu Beginn des Projekts	S. 10
5. Zusammenarbeit mit anderen Stellen	S. 13
II. Projektergebnisse	S. 15
1. Darstellung der erzielten Projektergebnisse	S. 15
1.1 Statusanalyse und Definition der Technologieanforderungen in hoch-integrierten Mikro-/Nanosystemen (einschl. System-in-Package-Lösungen)	S. 15
1.2 Testproben	S. 16
1.3 Zerstörungsfreie Fehlerlokalisierung und – identifizierung	S. 19
1.3.1 Time Domain Reflektometry	S. 19
1.3.2 Lock-in Thermographie	S. 24
1.3.3 Magnetfeldmikroskopie	S. 26
1.4 Neue Methoden der Zielpräparation	S. 32
1.4.1 Entwicklung neuer Laserstrahl basierter Präparationsverfahren	S. 32
1.4.2 Freilegung von IC Oberflächen in SiP durch „Micro Abrasive Blasting“	S. 35
1.4.3 FIB Präparationstechnik für hochauflösende Untersuchungen	S. 38
1.4.4 Analyse der „Heat Affected Zone (HAZ)“ bei Zielpräparation	S. 41
1.5 Innovative Analytik für die Untersuchung von Zuverlässigkeitsuntersuchungen: Speckleinterferometrie und Verformungsmessungen	S. 45
1.6 Erfassung lokaler Werkstoffeigenschaften	S. 49
2. Zusammenfassende Bewertung der Ergebnisse	S. 50
III. Veröffentlichungen	S. 52
Abkürzungsverzeichnis	S. 54

I. Projektbeschreibung

1. Aufgabenstellung

Motivation:

Die zunehmende Miniaturisierung mikro-/nanoelektronischer Komponenten bei gleichzeitig immer mehr Integration neuer Funktionalitäten, getrieben von innovativen Produkten der mobilen Kommunikation, erfordert für die Hersteller komplexer miniaturisierter Systeme (insbesondere System-in-Package) immer höheren Aufwand für Fehlerlokalisierung, Zielpräparation, und Fehleranalyse. Diese große Herausforderung ist auch in den internationalen Roadmaps, wie z.B. ITRS, JISSO, iNEMI herausgestellt.

Das vorliegende Teilprojekt von Infineon, das im Rahmen des deutsch/französischen Projekt FULL CONTROL bearbeitet wurde, lieferte für Infineon einen Beitrag zu drei wesentlichen Herausforderungen der Mikro-/Nanosystemtechnik, die auch in internationalen Roadmaps, die die Mikro-/Nanosystemtechnik berücksichtigen, beschrieben sind:

- i) Verbesserung der Zuverlässigkeit, Qualität und Ausbeute, sowie Produktion
- ii) Verbesserung der Methoden der Fehlerlokalisierung inkl. Zielpräparation und Fehleranalyse (das Zusammenwirken zunehmender Materialvielfalt, auch getrieben durch die Einführung „grüner“ Produkte, wird heute in der Industrie zu einer extremen Herausforderung bezüglich Zuverlässigkeit und somit Fehlervermeidung)
- iii) Ermittlung von Materialparametern (z.B. als Eingabewerte für Simulationen)

Aufgaben:

In diesem Projekt wurden neue Methoden/Geräte der Fehleridentifikation, Zielpräparation und Fehleranalyse für komplexe mikro-/nanoelektronische Systeme, insbesondere für System-in-Package Anwendungen, entwickelt, angepasst und eingeführt. Infineon arbeitete sowohl an der Entwicklung neuer Methoden als auch an der Untersuchung ihres Potentials für Fehlerlokalisierung, Zielpräparation oder Fehleranalyse. Die Methoden wurden hinsichtlich ihrer Bedeutung zur Verbesserung der Zuverlässigkeit von Mikro-/Nanosystemen erforscht und bewertet.

Besondere Ziele des Teilprojekts von Infineon im Rahmen des PIDEA/Euripides Gesamtprojekts FULL CONTROL waren:

- i) Entwicklung/Mitentwicklung, Anpassung und Einführung innovativer Diagnostik und Testmethoden sowie der zugehörigen Geräte im Bereich komplexer Systeme
 - zur Lokalisierung und Identifizierung von Fehlern in komplexen Mikro-/Nanosystemen einschließlich elektrischer Fehlerisolation
 - zur Zielpräparation von Fehlerstellen in hochintegrierten Gehäusen und Verbindungen (z.B. laser- und ionenbasierende Zielpräparationsmethoden, einschließlich FIB)

- zur Fehleranalyse von komplexen Gehäusen im Mikro-/Nanometer-Bereich, insbesondere an kritischen Verbindungs-/Schnittstellen.
- zur Bestimmung ausgewählter Materialparameter (z.B. auch als Eingabeparameter für Simulationen)

Unterstützung der Entwicklung von gerätetechnischen und von softwaretechnischen Lösungen für die erforderlichen Präparations-, Diagnostik- und Testverfahren, um marktaugliche innovative Produkte im Bereich der analyseorientierten Prüftechnik zu erarbeiten. Eine enge Zusammenarbeit besonders mit den deutschen Gerätehersteller wie Thermosensorik (Innovationen im Bereich thermographischer Fehlerlokalisierungssysteme), Dantec Dynamics (optischer Verformungsmesstechnik), und Zeiss NTS (ionen- und laserstrahlbasierten Zielpräparationstechnik und hochauflösender Analytik, neue komplexe fokussierte Ionenstrahltechnik mit integrierter Analytik, Weiterentwicklung von TEM-Techniken durch Zeiss/IWMH)

- ii) Einsatz der neu entwickelten mikrostrukturellen Diagnostikverfahren zur Untersuchung zuverlässigkeitsbestimmender Prozesse bei der Bauelemententwicklung („Physics of Failure“)
- iii) Bewertung des Einsatzbereichs und Potential der Methoden im Vergleich zu existierenden Methoden.
- iv) Erarbeitung von Lösungen für die Qualitätssicherung und Fehleranalyse, die den zukünftigen Anforderungen an Durchsatz, Effizienz und Zuverlässigkeit in der Fertigung hoch integrierter Mikrosysteme Rechnung tragen.
- v) Erfassung von Werkstoffkennwerten, die als Eingabeparameter für die Simulation geeignet sind, direkt am Bauelement in Korrelation zur Mikrostruktur.
- vi) Integration der Verfahren und Entwicklung gerätetechnischer Lösungen bei Herstellern von Mikrosystemen („System-in-Package“) mit den folgenden Zielstellungen:
 - sichere Beherrschung des Werkstoffverhaltens von Packagingkomponenten für die Entwicklung robuster Herstellungsprozesse („Design for Reliability“).
 - Kostensenkung bei der Produktentwicklung von hoch integrierten Gehäuse- bzw. Systemlösungen wie Multi-Chip Carriers, Flip-Chips und 3D-Stacks.
 - Erweiterung der Integrationsmöglichkeiten bei hochbelasteten Mikrosystemen im Automobilbereich.
- vii) Entwicklung einer methodischen Kette zur Qualitätsabsicherung beim Packaging von Mikrosystemen, die im ersten Schritt die zuverlässige Fehlerlokalisierung, nachfolgend eine effektive und artefaktfreie Zielpräparation, sowie eine hochauflösende Analyse bis in den Nanometerbereich erlaubt (DFA, Design for Failure Analysis).

2. Voraussetzungen, unter denen das Vorhaben durchgeführt wurde,

An dem Projekt nahmen jeweils 6 deutsche und 6 französische Partner teil. Davon sind drei Partner aus weltweit anerkannten Forschungseinrichtungen (FhG IWMH, CEA-LETI, CNES Toulouse).

Das Gesamtprojekt bestand aus 4 unterschiedlichen Gruppen von Projektpartnern:

- i) Forschungsinstitute,
- ii) Methoden-Geräteentwickler (Zeiss, Dantec Dynamics, Thermosensorik, Insidix; Infineon hat an der Weiterentwicklung von Methoden entscheidend mitgearbeitet)
- iii) Zulieferern (Orsay Physics, Epsilon) und
- iv) Anbieter/Anwender (Infineon, ELMOS, Atmel/e2v).

Eine Übersicht der Wechselwirkungen dieser vier Gruppen im FULL CONTROL Projekt zeigt Abbildung 1. In enger Zusammenarbeit sollten zum einen neue Methoden der Fehleranalyse entwickelt werden, zum anderen sollten die Hersteller der Mikro-/Nanosysteme in die Lage versetzt werden, ihre Zuverlässigkeit zu verbessern. Fokus von Infineon im FULL CONTROL Projekt war an Entwicklungen der Methoden entscheidend mitzuarbeiten, sowie die Methoden hinsichtlich ihres Potentials für Fehlerlokalisierung, Fehlererkennung, und Zuverlässigkeitsuntersuchungen zu erforschen.

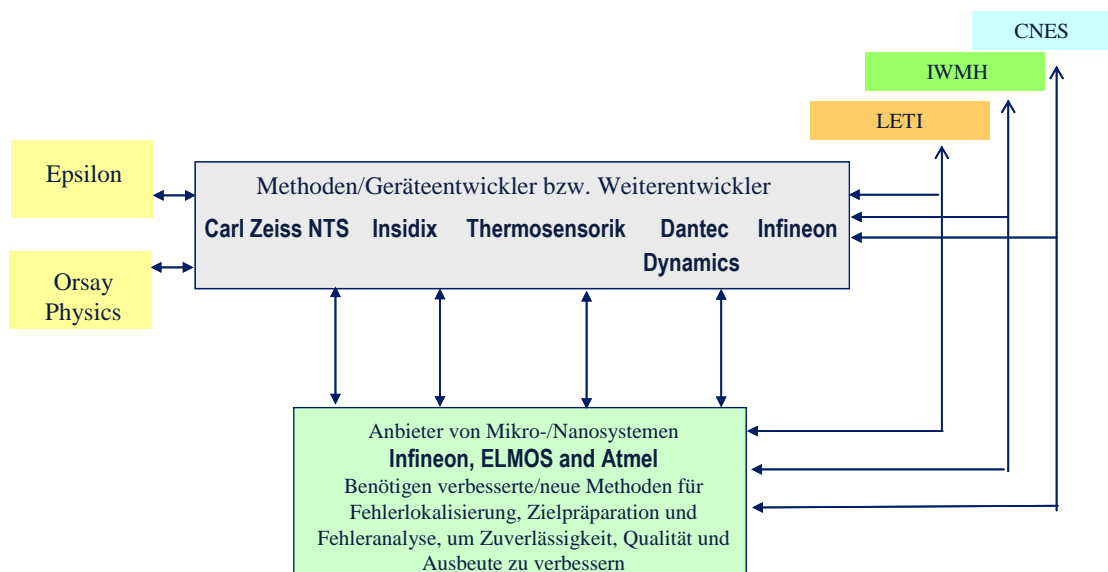


Abbildung 1: Übersicht zur Zusammenarbeit zwischen den Partnern. Die Doppelpfeile zeigen, dass die Partner sich exzellent gegenseitig ergänzen. Die Forschungsinstitute LETI, CNES und IWMH unterstützen sowohl Methoden-/Geräteentwicklung als auch die Anbieter von Mikro-/Nanosystemen (SiP).

Projektmanagement:

Das Projekt wurde durch ein Steuerkommittee unter der Leitung von Zeiss NTS gelenkt. Die 7 Arbeitspakete des Projekts wurden jeweils von einem der Partner geleitet.

3. Planung und Ablauf des Vorhabens,

Das Gesamtprojekt FULL CONTROL war in sieben Arbeitspakete AP1 bis AP7 gegliedert, die wiederum in mehrere Teilaufgaben unterteilt sind. Infineon arbeitete an allen 7 Arbeitspaketen mit, um zum einen die Weiter-/Neuentwicklung der verschiedenen Methoden voranzutreiben, zum anderen mit verbesserter Fehleranalyse Zuverlässigkeit, Qualität und Ausbeute zu verbessern.

Übersicht Arbeitspakete und Zeitplan

Die folgende Tabelle 1 gibt eine Übersicht über die Arbeitspakete des Projekts gemäß der deutschen Zusammenfassung. Infineon ist an allen Arbeitspaketen beteiligt und leitet speziell das für den Gesamtablauf des FULL CONTROL Projekts sehr wichtige Arbeitspaket 1.

Tabelle 1: Übersicht über die Arbeitspakete des Projekts

(x) Der Leiter des Arbeitspakets ist in der rechten Spalte unterstrichen (D =Deuschl., F =Frankreich)

Arbeitspaket #	Titel / kurze Beschreibung	involvierte Partner
AP1	<p>Statusanalyse und Definition der Technologieanforderungen in hochintegrierten Mikro-/Nanosystemen (einschl. System in Package-Lösungen)</p> <p>Aufgabe 1.1 Statusanalyse existierender Methoden, Vergleich mit Wettbewerb, Definition von Anforderungen für Zuverlässigkeit</p> <p>Aufgabe 1.2 Regelmässige Statusanalyse und Beobachtung des Wettbewerbs</p> <p>Aufgabe 1.3 Regelmässige Definition, Aktualisierung und Herstellung von Teststrukturen</p>	<p><u>Infineon (D)</u></p> <p>alle Partner sind eingebunden</p>
AP2	<p>Zerstörungsfreie Fehlerlokalisierung und -identifizierung</p> <p>Aufgabe 2.1 Fehlerlokalisierung mittels „Time Domain Reflektometrie (TDR)“</p> <p>Aufgabe 2.2 Fehlerlokalisierung mittels Lock-in-Thermographie</p> <p>Aufgabe 2.3 Fehlerlokalisierung mittels Magnetmikroskopie</p> <p>Aufgabe 2.4 Fehlerlokalisierung mit akustischen Verfahren in Kombination von Experiment und Modellierung</p> <p>Aufgabe 2.5 Fehlerlokalisierung mittels automatisierter lichtmikroskopischer Verfahren und Bildanalyse für die Sicherung der Zuverlässigkeit in der Wafer level Package (WLP-) Fertigung</p>	<p><u>CNES(F)</u></p> <p>Carl Zeiss NTS (D) ELMOS (D) Infineon(D), Thermosensorik(D), IWMH(D), Atmel (F), Insidix(F), LETI (F), Epsilon(F)</p>

<p>AP3</p>	<p>Neue Methoden der Zielpräparation</p> <p>Aufgabe 3.1 Entwicklung neuer laserstrahlbasierter Präparationsverfahren</p> <p>Aufgabe 3.2 Optimierung und Automatisierung von großflächigen Ionenstrahlpoliturverfahren für REM- Querschleife</p> <p>Aufgabe 3.3 Entwicklung eines Hochstrom-systems der fokussierenden Ionenstrahltechnik (FIB) für Packagingapplikationen</p> <p>Aufgabe 3.4 Optimierung und Anpassung der FIB-Präparationsmethodik für hoch auflösende Untersuchungen an Grenzflächen der Aufbau- und Verbindungstechnik (REM, TEM)</p>	<p><u>Carl Zeiss NTS (D)</u></p> <p><i>Infineon (D), ELMOS (D) IWMH (D) Atmel (F), CNES (F), Orsay Physics (F)</i></p>
<p>AP4</p>	<p>Innovative Analytik für die Untersuchung von Zuverlässigkeitsproblemen der Aufbau- und Verbindungstechnik in hochintegrierten Mikro- und Nanosystemen</p> <p>Aufgabe 4.1 Komplexe 3D FIB-Analyse für hoch integrierte Mikro-/Nanosysteme</p> <p>Aufgabe 4.2 Neue integrierte Methoden für die automatisierte Identifizierung von intermetallischen Verbindungen in AVT-Grenzflächen</p> <p>Aufgabe 4.3 Thermische Laserstimulation</p> <p>Aufgabe 4.4 Optimierte Fehleranalyse mittels Speckle-Interferometrie, Topographie- und Verformungsmessungen (TDM) und 3D-Grauwertkorrelation</p>	<p><u>IWMH (D),</u></p> <p><i>Carl Zeiss NTS (D), ELMOS (D) Infineon (D), Dantec Dynamics (D) Insidix (F), Epsilon (F) CNES (F), LETI (F),</i></p>
<p>AP5</p>	<p>Erfassung lokaler Werkstoffeigenschaften</p> <p>Aufgabe 5.1 Untersuchung der mechanischen Eigenschaften von Drahtbondkontakturen</p> <p>Aufgabe 5.2 Einsatz von optischen Feldmessverfahren für die lokale Bestimmung von Wärmeausdehnungskoeffizienten und der Grenzflächenfestigkeit</p> <p>Aufgabe 5.3 Messung lokaler Aufladungen in MEMS-Bauelementen</p>	<p><u>LETI (F)</u></p> <p><i>IWMH (D) ELMOS (D) Infineon (D) Dantec Dynamics (D) Thermosensorik (D) Insidix (F) Epsilon (F)</i></p>

<p>AP6/AP7</p>	<p>Anwendung von Fehleranalyseverfahren für die Sicherung der Zuverlässigkeit von hochintegrierten komplexen Mikro-und Nanosystemen (AP6 Pidea+)</p> <p>Aufgabe 6.1 Identifizierung neuer Ausfall- und Fehlermechanismen relevant in zukünftigen hochintegrierten Mikro-/Nanosystemen</p> <p>Aufgabe 6.2 Einsatz und Untersuchung optimierter Fehleranalyseverfahren für hochintegrierte Mikro-/Nanosysteme</p> <p>Erarbeitung eines abgestimmten und verallgemeinerten Konzeptes für die Fehlerlokalisierung und -analyse in hochintegrierten Mikro-/Nanosystemen (AP7 Pidea+)</p> <p>Aufgabe 7.1 Bewertung der Ergebnisse der AP 2-6 und Ableitung von Schlussfolgerungen für neue marktfähige Fehleranalysetechniken</p> <p>Aufgabe 7.2 Definition eines verallgemeinerten abgestimmten Konzeptes für die Fehleranalyse und diagnostische Techniken für zukünftige hochintegrierte Mikro-/Nanosysteme einschließlich System in Packaging-Lösungen</p>	<p><u>Atmel (F)</u></p> <p><i>Infineon (D)</i> <i>IWMH (D),</i> <i>Insidix (F),</i> <i>LETI (F)</i></p> <p><u>ELMOS (D)</u></p> <p><i>alle Partner sind eingebunden</i></p>
----------------	--	--

Abbildung 2 zeigt den Gesamtarbeitsplan (Meilensteinplan)

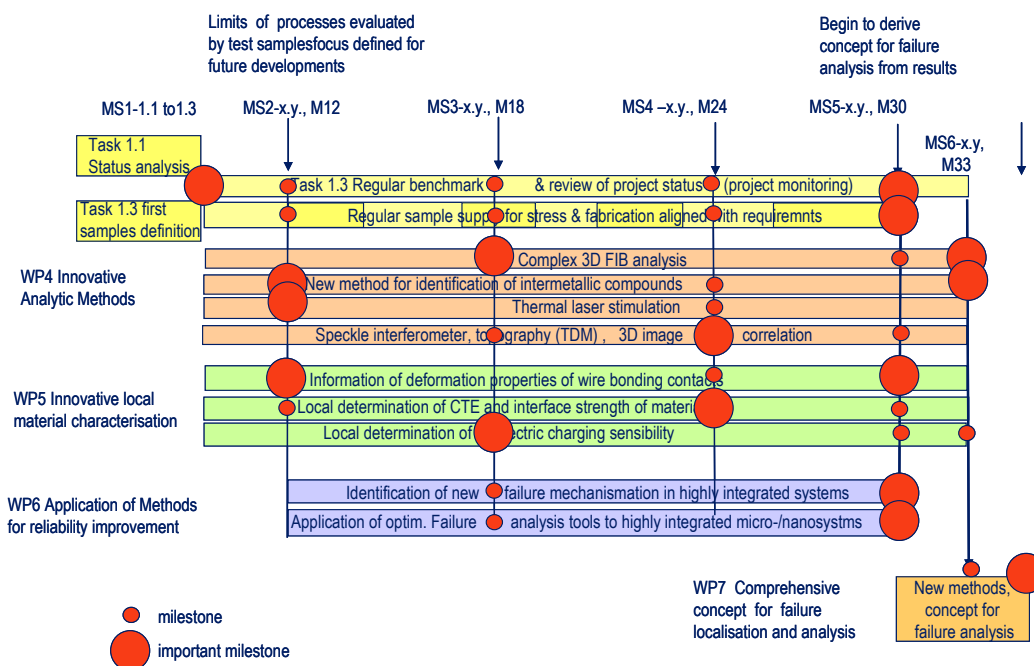
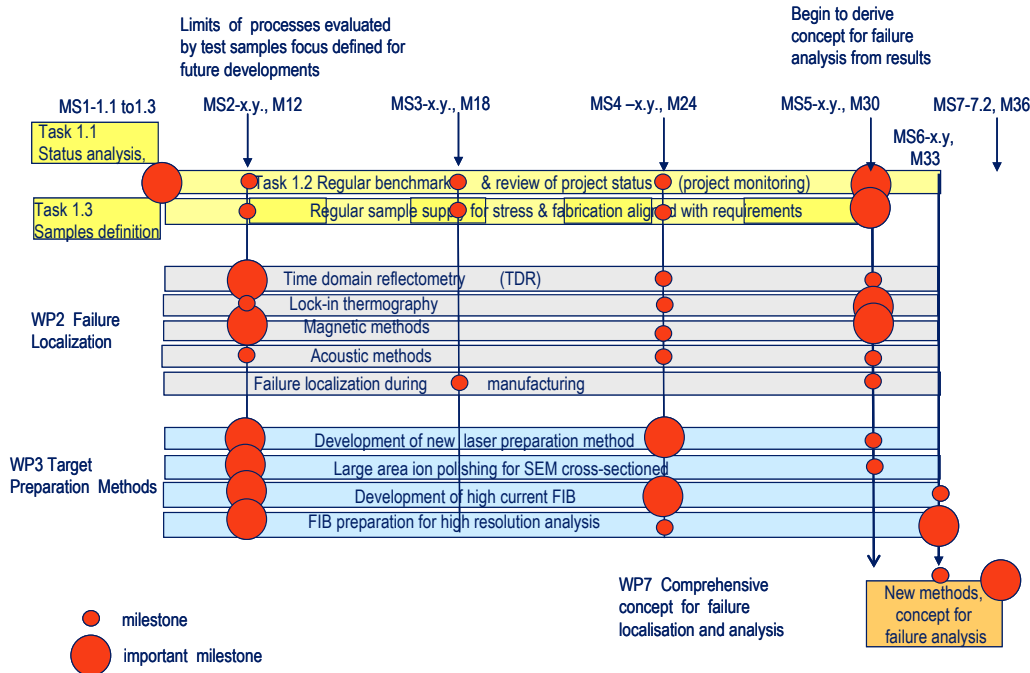


Abbildung 2: Zeitplan gemäß PIDEA+ Antrag (Hinweis: WP = AP): die Meilensteine MS sind wie folgt definiert: MS1 = nach 3 Monate, MS2 = nach 12 Monate, MS3 = nach 18 Monate, MS4 = nach 24 Monate, MS5 = nach 30 Monate, MS6 = nach 33 Monate und MS7 = nach 36 Monate. Meilenstein MS2 -1.3 bezeichnet z.B. Meilenstein 2 zur Aufgabe 3 im Arbeitspaket AP 1 (x = Nummer eines AP und geht von 1-7, y ist Nummer der Teilaufgaben und kann Werte von 1-4 annehmen).

4. Wissenschaftlicher und technischer Stand zu Beginn des Projekts

Ein unumkehrbarer Trend bei mikro-/nanoelektronischen und mikro-/nanomechanischen Systemen ist die zunehmende Miniaturisierung, verbunden mit steigender Integrationsdichte bei gleichzeitigem Funktionalitätsgewinn. Die zielgenaue Entwicklung auf Kundenwunsch hin erfordert eine hohe Flexibilität und führt zu einer stark ansteigenden Variantenvielfalt. Diese Entwicklung erstreckt sich über alle Bereiche, von der Verbraucher („Consumer“)- bis hin zur Automobil-Elektronik. Zuverlässigkeit, Qualität und Ausbeute sind grundlegende Voraussetzungen für die Entwicklung komplexer innovativer Micro-/Nanosystem-Anwendungen und werden zunehmend zu einer extremen Herausforderung.

Eine Besonderheit der Aufbau- und Verbindungstechnik von „System-in-Package (SiP)“ bzw. Mikro-/Nanosystemen ist die Vielfalt an notwendigen Materialien, vom Silizium über metallische Verbindungsstellen bis hin zu Polymeren in verschiedensten aufeinander folgenden Schichten. Dies führt zu großen Herausforderungen für die Fehleranalyse. Die Notwendigkeit für neue bzw. verbesserte und angepasste Methoden zur Fehleridentifikation und Fehleranalyse für künftige Gehäuse, vor allem für SiP Anwendungen wurde in einem „White Paper“ - veröffentlicht durch das Internationale SEMATECH „Assembly Analytic Forum Analytical Tool Roadmap White Paper im Juni 2004 - als dringend herausgestellt (siehe <http://www.sematech.org/docubase/document/4532atr.pdf>). Diese Initiative wurde durch die ITRS („International Technology Roadmap of Semiconductors“; <http://www.itrs.net>) ausgelöst, wo schon in der Ausgabe von 2003 die Notwendigkeit verbesserter Fehleranalysemethoden herausgestellt wurde. Auch die neue Ausgabe der ITRS, veröffentlicht im Dezember 2009, unterstreicht weiterhin die Notwendigkeit verbesserter Fehleranalysemethoden, besonders für mikro-/nanoelektronische Systemanwendungen, insbesondere wo System-in-Package Aufbauten benötigt werden. Das Ganze ist getrieben von zunehmender Funktionalität insbesondere durch die Mobilkommunikation.

Es sei an dieser Stelle nochmal darauf hingewiesen, dass der Begriff „System-in-Package“ Mikro-/Nanosysteme umfasst, d.h. die Kombination von Silizium mit MEMS Komponenten oder anderen Sensoren, Bio- und optoelektronischen Komponenten usw. Insbesondere am Standort Regensburg fokussiert sich Infineon auf Sensoren und Module, d.h. u.a. Mikro-/Nanosystemlösungen (SiP Lösungen) wie am Beispiel in Abbildung 3 dargestellt.

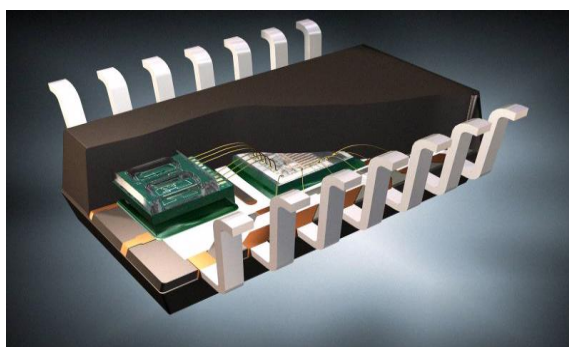


Abbildung 3: Beispiel Reifendrucksensor mit mehreren Komponenten in einem Gehäuse.

Im Gegensatz zur „Front-end“ (meist Si-basierende IC Herstellung) Technologie von Mikro-/Nanosystemtechnik, wo leistungsfähige hochauflösende Nano-Analyseverfahren und die zugehörigen Fehlerlokalisierungs- und Präparationstechniken (wie z.B. „Focused Ion Beam“ (FIB) und Transmissions-Elektronenmikroskopie (TEM)) bis hin zum Betrieb in der Linie verfügbar und qualifiziert sind, ist dies für die Gehäusetechnologien nicht der Fall. In den Silizium „Front-end“ Technologien gibt es eine Vielzahl von Methoden und Erfahrungen, die aber nicht ohne weiteres auf die schnelle und anspruchsvolle Entwicklung von komplexen „System-in-Package“ bzw. Mikro-/Nanosystemaufbauten übertragen werden können. So sind zum Beispiel Material-Abtragraten, wie sie in der Silizium-IC Produktionstechnik vorkommen, nicht vergleichbar mit den notwendigen Abtragraten im Packaging-Bereich, die zudem hohe Inhomogenitäten (z.B. schon im „Mold Compound“ allein) in Folge stark unterschiedlicher Materialien aufweisen.

Bedingt durch die hochintegrierten Komponenten kommt die zeitraubende und kostenintensive Hintereinanderschaltung verschiedenster Analysemethoden zum Einsatz. Es war unbedingt erforderlich, zum einen bestehende Verfahren an die Bedingungen der „Aufbau- und Verbindungstechnik (Packages)“ anzupassen sowie neue, auf das Package zugeschnittene Analyseverfahren zu entwickeln bzw. weiterzuentwickeln. Durch die heute zur Verfügung stehenden Laserstrahl- und Ionenstrahlverfahren oder Techniken wie die Kopplung von fokussierter Ionenstrahltechnik (FIB) und „Electron Back Scattering Deflection (EBSD)“ ergaben sich neue innovative Möglichkeiten.

Prüfverfahren, die es gestatten, in geeigneten Bereichen bauteilabhängige Werkstoffparameter zu erfassen, waren nur in Ansätzen vorhanden. Stattdessen waren Messungen im Allgemeinen an deutlich größeren technologisch nicht relevanten Ersatzkomponenten durchgeführt. Die bestimmten werkstoffmechanischen Kennwerte waren auf das Bauteil im Allgemeinen nicht oder nur sehr eingeschränkt übertragbar.

Es mussten zuverlässig lokale Struktur- und Materialparameter als Eingabewerte für entwicklungsbegleitende Simulationen ermittelt werden, um so zum „Design for Reliability“ schon beim Systementwurf beizutragen. Hersteller von Mikrosystemen und hoch integrierten elektronischen Baugruppen können so entscheidend Entwicklungskosten sparen und die Zuverlässigkeit unter Einsatzbedingungen erhöhen.

Es sei hier besonders herausgestellt, dass zunehmende Anforderungen von Kunden bezüglich Zuverlässigkeit und Qualität, besonders aus der Automobilindustrie, extreme Anstrengungen und Anforderungen an Infineon stellen. Eine geeignete Fehleranalyse ist hier von herausragender Bedeutung.

Die zukünftigen Systemlösungen führen zwangsweise zu neuen Fragestellungen und Herausforderungen im Hinblick auf Zuverlässigkeit und Fehleranalyse z.B.:

- Welcher der vielen unterschiedlichen Systemkomponenten (z.B. IC Chip, Sensor, MEMS) hat die Fehlfunktion?
- Liegt der Fehler am Chip oder an den Verbindungen (z.B. Drahtverbindungen, „Bump“, Substrat)?
=> Frage nach der (elektrischen) Lokalisierung
- Wie lege ich den lokalisierten Fehler zur weiteren Analyse frei?
=> Frage nach der artefaktfreien/rückwirkungsfreien Präparation an der neuen Materialvielfalt, die das hochintegrierte Mikro-/Nanosystem mit sich bringt.
- Wie simuliere ich ein hochintegriertes Mikrosystem verlässlich?

=> Frage nach der Bestimmung lokaler Materialeigenschaften und somit Berücksichtigung der Fertigungseinflüsse.

Besondere Defizite in der Analysetechnik waren:

- artefaktfreie Präparation von komplexen Materialsystemen bei hochintegrierten Mikrosystemen (Defekte freilegen zur weitergehenden Analyse oder Bestimmung lokaler Materialparameter innerhalb des Packages),
- Lokalisierungsmethoden für elektrische Fehler (Kurzschlüsse, Leckströme, Unterbrechungen) für hochintegrierte Mikrosystem v.a. für deren interne Verbindungen zwischen den Subkomponenten (Chips, MEMS, Passive etc...),
- Methoden zur Messung lokaler interner Materialparameter nach Durchlauf der Fertigungsprozesse als realistische Eingabewerte für zuverlässige Simulationen,
- Methoden zur Analyse der Mikrostruktur metallischer Verbindungen zum besseren Verständnis von Ausfallmechanismen an komplexen Mikrosystemen,
- Methoden zur Quantifizierung und Lokalisierung von Gehäuse-internen thermomechanischen Spannungen zur Verbesserung von Gehäusedesign und Materialauswahl.

Verwendete Fachliteratur sowie wichtigste Informations- und Dokumentationsdienste:

Wichtiges Informationsmaterial im Assembly und Packaging sind die weltweit stattfindenden internationalen Konferenzen.

Für FULL CONTROL wurden insbesondere folgende Konferenzen besonders berücksichtigt:

- i) ECTC (Electronics Component Technology Conference)
- ii) ISTFA (International Symposium for Testing and Failure Analysis)
- iii) EUROSIME (Thermal, Mechanical and Multiphysics Simulation and Experiments in Micro/Nanoelectronics and Systems)
- iv) ESREF (European Symposium Reliability of Electron Devices, Failure Physics, Analysis)

Internationale Roadmaps und damit verbundene Kontakte:

- i) ITRS (siehe www.itrs.net, Infineon ist u.a. in der Assembly & Packaging Arbeitsgruppe vertreten und engagiert sich insbesondere bei den Themen Systemintegration)
- ii) JISSO (internationales Konsortium, das insbesondere in Japan vorangetrieben wird; JISSO ist ein japanisches Kunstwort für „Total System Solution“)
- iii) iNEMI (International Electronic Manufacturing Initiative; siehe www.inemi.org)

Verfolgung von Arbeiten an internationalen Instituten von Universitäten und Forschungseinrichtungen außerhalb Europa, z.B. PRC (Package Research Center, Georgia Tech, U.S.A.), IME (Singapore), ITRI (Taiwan), KAIST (South Korea).

5. Zusammenarbeit mit anderen Stellen.

Für die Aufgaben des Projekts waren eine Vielzahl von Herausforderungen zu lösen und vielseitige Erfahrungen nötig, die in Deutschland nicht alleine vorhanden waren. Es wurden teilweise neue Analysemethoden oder Zulieferkomponenten evaluiert, für die es in Deutschland nicht die nötige Kompetenz gab. Für die Bearbeitung wurde daher eine europäische Kooperation im Rahmen des Eureka Pidea/Euripides-Programms initiiert. Besonders herauszustellen sind folgende Zusammenarbeiten, die eine Vielzahl von Synergien ergaben:

i) Das CEA-LETI ist ein in Europa führendes Forschungsinstitut im Bereich Mikroelektronik/Mikrosystemtechnik. Seine besondere Stärke ist, dass es sowohl „Front-end“ als auch „Back-end“ Technologie besitzt und Entwicklungen im Bereich der Analytik vorantreibt. Daraus resultierend besteht hier, neben Erfahrungen in der Si-Technologie, insbesondere auch ein weit reichender Kenntnisstand für MEMS und Mikrosystemtechnik. Am LETI existierende Analysemethoden wurden in das Projekt einbezogen und hinsichtlich Anwendungen für 3D Integration evaluiert.

ii) Die Zusammenarbeit mit dem CNES in Toulouse war von besonderem Interesse, da dort schon sehr viel Erfahrung im Bereich Fehleranalyse und Zuverlässigkeit für die besonders hohe Anforderungen stellenden Luft- und Raumfahrtanwendungen vorhanden sind und deshalb eine sehr hoch entwickelte Fehleranalyse zur Verfügung steht. In Kooperation mit dem CNES wurde der Einsatz der „Scanning Magnetic Microscopy“ mit SQUID für die Fehlerlokalisierung in komplexen Packaginglösungen untersucht. Dieses Verfahren stellt eine alternative Möglichkeit dar, die die Entwicklungen mit den Projektpartnern Thermosensorik und Dantec Dynamics ergänzten. Im Rahmen der Zusammenarbeit sollte das Know-how der beiden französischen Spitzenforschungsinstitute CEA-LETI und CNES und der FhG für optimale Synergien verwendet werden um dadurch wichtige Schritte hinsichtlich Marktvorteile für zuverlässige „System-in-Package“- und Mikrosystemprodukte zu erreichen.

iii) Für die Entwicklung geeigneter Präparationstechnologien von der Gehäuseöffnung und Gehäusevorpräparation bis hin zur Zielpräparation im Sub-Mikrometerbereich ist eine stufenweise, aufeinander abzustimmende Prozessfolge erforderlich. Das „Know how“ und die Weiterentwicklungen des CNES in Toulouse im Bereich der Lasertechnologien („Laserablation“) stellten einen wichtigen Schritt in dieser Kette dar, an dem die Ionenstrahltechniken der Fa. Zeiss anschließen sollten und die gerätetechnische Integrationsfähigkeit des Gesamtprozesses zu prüfen war.

iv) Zur Unterstützung der gerätetechnischen Entwicklungen von Zeiss war für die neue Ionenstrahlätztechnik eine spezielle Hochstromquelle unverzichtbar. Die französische Firma Orsay Physics entwickelte in diesem Projekt die nötige Hochstromquelle als Zulieferer für Zeiss. Diese Kooperation stärkte insbesondere die Position von Zeiss als FIB-Hersteller am Weltmarkt.

v) Die Firma Insidix ist eine noch junge Firma, die sich mit zerstörungsfreien Methoden, wie der Röntgen- und akustischen Mikroskopie, zur Untersuchung von Grenzflächen beschäftigt. Insidix hat eine neue Methode entwickelt, die die Messung der Deformationen von elektronischen Bauelementen in x, y, z-Richtung vor und nach dem Assembly, sowie bei unterschiedlichen Temperaturen und

Temperaturgradienten (TDM) ermöglicht. Dadurch können die Temperatur-Ausdehnungskoeffizienten (CTE) lokal gemessen werden. Die Fähigkeiten dieser Methode wurde bezüglich eines Einsatzes für SiP und Mikrosysteme erforscht. In Kombination mit „Scanning Acoustic Microscopy“ gab es Möglichkeiten, elastische/plastische Verhalten an Grenzflächen zu ermitteln. Die TDM Methode sollte im Hinblick auf Identifizierung von Fehlern und lokaler Materialcharakterisierung in hochintegrierten Gehäusen weiterentwickelt werden. Es war die Chance, dass diese Verfahren komplementär und ergänzend zu den Methoden der Firma Dantec Dynamics eingesetzt werden könnten.

vi) Die Firma Epsilon hat spezielle Algorithmen und Software Module für Infrarot Kartographie entwickelt. Eine Kopplung mit thermischen Verfahren eröffnete neue Möglichkeiten. Epsilon arbeitete eng mit Insidix zusammen und die Softwareentwicklungen konnten neue Wege zur Fehleranalyse eröffnen (z.B. bezüglich Finite Elemente Simulationen an Grenzflächen zur Erklärung von Delaminationen). Die Nutzung der Lösungen für die Fa. Thermosensorik wurde evaluiert.

vii) Die Entwicklungen der deutschen Geräte- und Messtechnikhersteller (Zeiss, Dantec Dynamics, Thermosensorik) sollten französischen Firmen wie z.B. Atmel/e2v nahe gebracht werden (Förderung des schnellen Aufbaus eines Marktes).

II. Projektergebnisse

1. Darstellung der erzielten Projektergebnisse

Das Projekt war in 7 Arbeitspakete (siehe Kapitel I) unterteilt. Infineon arbeitete an allen 7 Arbeitspaketen mit. Infineon fokussierte sich besonders auf die Arbeitspakete 2-4, steuerte zum Teil das Projekt als Leiter von AP1 und lieferte Beiträge u.a. mit Testchips und Bewertungen (zu AP5), aber auch zu den restlichen Arbeitspaketen AP6 und AP7. Im folgenden werden die von Infineon im FULL CONTROL Projekt erzielten Ergebnisse zusammengefasst. Die Projektergebnisse des gesamten Konsortium wurden in zwei öffentlichen Workshops am Fraunhofer IWM Halle (18.9.2008) Organisator: Matthias Petzold) und bei Infineon/München (19.11.2009, Organisator: Klaus Pressel) vorgestellt. Infineon veröffentlichte hier insgesamt 7 Beiträge (siehe Veröffentlichungen [1-3, 8-11]).

1.1 Statusanalyse und Definition der Technologieanforderungen in hoch-integrierten Mikro-/Nanosystemen (einschl. System-in-Package Lösungen) (AP1.1, AP1.2)

An diesem Projektteil arbeiteten unter Koordination von Infineon alle Partner mit. Folgende Punkte wurden festgelegt:

1. Definition von wichtigen und neuen Fehlertypen aus Sicht von Mikro-/Nanosystem-Herstellern (war Basis einer zielgerichteten Entwicklung der Methoden im Projekt) Beispiele von möglichen Fehlern: Bruchstellen („cracks“), Delaminationen an Grenzflächen z.B. zwischen gestapelten Si-Chips, Chips und MEMS-Komponenten, offene Leiterbahnen oder solche mit erhöhten Widerständen, Kurzschlüsse, etc.
2. Definition künftiger Anforderungen mit 5-10 Jahren Ausblick, Bewertung von Marktprognosen und Technologie „Roadmaps“
3. Identifizierung bestehender Lücken („gap analysis“) und Grenzen existierender Methoden.
4. Festlegung erforderlicher Leistungsparameter für die zu entwickelnden Geräte und Entwicklungsschritte

Regelmäßige Statusanalyse und Beobachtung des Wettbewerbs:

An dieser Aufgabe arbeiteten alle Projektpartner mit und sorgten für eine regelmäßige Aktualisierung der Projektarbeit. Hier wurden vor allem die Arbeitspakete aufeinander abgestimmt werden, was u.a. auch wesentlich für einen optimalen Wissenstransfer war. Alle Partner lieferten hier unter Leitung von Infineon Zuarbeiten. Regelmäßige Überprüfung der in Teilaufgabe 1.1 festgelegten Parameter und Aufgaben.

1.2 Testproben (AP1.3, AP2)

Die Arbeiten beinhalteten insbesondere:

- Regelmäßige Definition, Aktualisierung und Herstellung von Teststrukturen
- Entwicklungen und Herstellung von Probeaufbauten wurden während der Projektlaufzeit kontrolliert und an die Methodenentwicklung angepasst.
- Infineon stellte hier solche Testaufbauten her, die für Untersuchungen mit mehreren Verfahren geeignet waren, aber nichts direkt mit einem Produkt zu tun haben. Spezielle Testaufbauten, z.B. mit gezielt eingebauten Kurzschlüssen für TDR (Time Domain Reflektometrie), die nur für einzelne Methoden relevant waren, wurden in den methodenspezifischen Arbeitspaketen aufgeführt.
- Bereitstellung nötiger Teststrukturen mit definierten Materialparametern und Fehlern zur Quantifizierung der Leistungsfähigkeit oder auch Kalibrierung (Materialparameter mussten teils vorher von Infineon ausgemessen werden).
- Beispiele für Teststrukturen: verschiedene zwei oder dreifach gestapelte Komponenten in einem Gehäuse (siehe a) oder b) unten), die ein Mikro-/Nanosystem bilden (Auswahl erfolgte unter Berücksichtigung typischer Fehlerquellen für bestehende und künftige Anwendungen).

Die Definition der Testproben führte im Wesentlichen zu zwei Vorgehensweisen:

- Zur Weiterentwicklung der Präparationsverfahren (Laserablation und Ionenstrahlverfahren bei CNES Toulouse, ZEISS Oberkochen) wurden zunächst reine Materialproben (ohne elektrische Funktion) hergestellt, um Anlagenparameter zu optimieren und grundsätzlichere Erfahrung zur Eignung der Verfahren zu sammeln. Bei den Proben handelte es sich um Testkörper aus typischen Materialien der Gehäusetechnologie:
 - Moldingcompounds (Pressmassen)
 - Chipkleber, Klebertapes
 - Verkapselungsmaterialien wie Silikongele
 - Optisch transparente Harze
 - Chipträger wie Metall-Leadframes, Glasfaserverbund-Substrate
 - Interconnect-Materialien wie Gold-/Aluminiumdrähte
 - Lotlegierungen (bleifrei)
- Zur Untersuchung der Präparationsverfahren wurden sog. „Device-Dummies“ aufgebaut – d.h. Bauteile ohne elektrische Funktion jedoch mit neuester Gehäusetechnologie. Sie dienten dazu, die Eignung der Präparationsverfahren im komplexen Materialmix von Mikrosystemen zu untersuchen (z.B. bei „Stacked Dice“ Technologie das Ablationsverhalten der Laser im Materialverbund Pressmasse/Silizium/Klebertape/Silizium/Kleber/Substrat). Hierfür wurden folgende Testvehikel von Infineon aufgebaut: Gehäusotyp P-TFBGA-417.

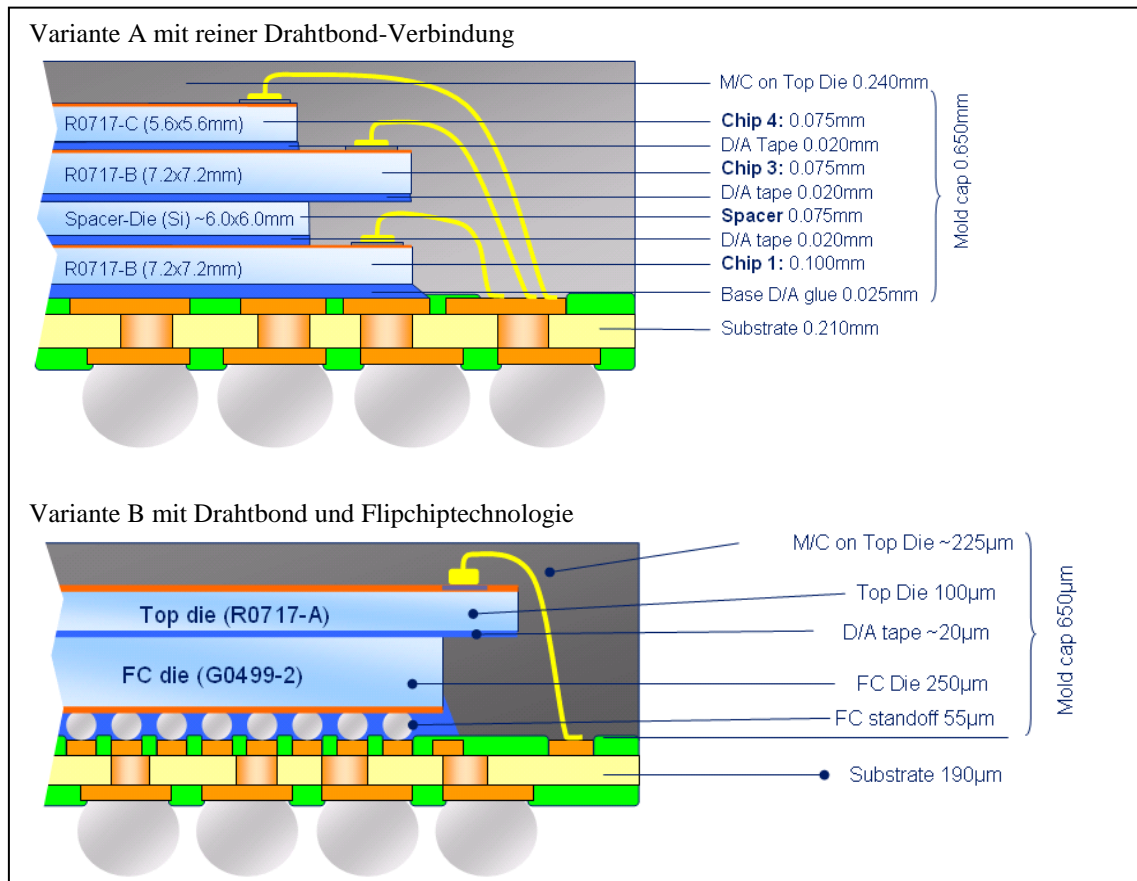
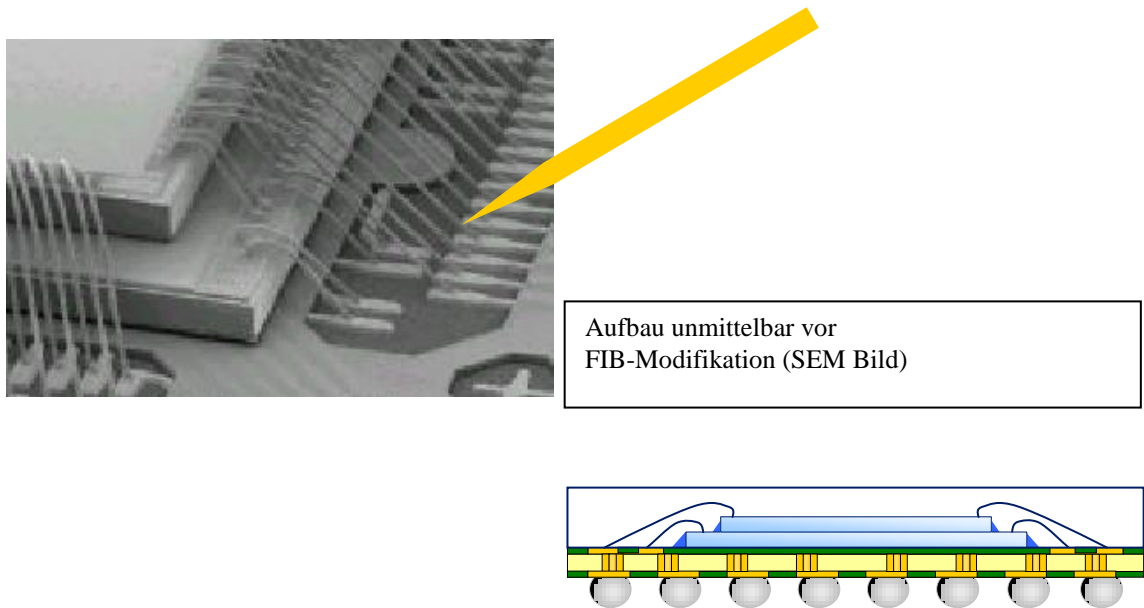


Abbildung 4: Beispiel eines System-in-Package (SiP) Testvehikel.

- Zur Weiterentwicklung der zerstörungsfreien Lokalisierungsmethoden elektrischer Fehler wurde vereinbart, Bauteile mit elektrischer Funktion herzustellen, die gezielt eingebaute elektrische Fehler enthielten (Leckstrompfade, Leiterbahnunterbrechungen etc.). Das hierzu verwendete Mikrosystem enthielt zwei gestapelte Chips mit speziellen Teststrukturen. Der „Einbau“ der elektrischen Fehler erfolgte sowohl direkt beim Drahtbonden der Chips als auch danach durch Modifikation der Interconnects mittels FIB (Focused Ion Beam) im Fehleranalyselabor von Infineon in München. Anschließend wurden die modifizierten Bauteile umspritzt (Molding) und fertig prozessiert. Die Bauteile wurden sodann an die involvierten Projektpartner (Workpackage 2) zum Test Ihrer Lokalisierungsmethoden verteilt.



Aufbau unmittelbar vor FIB-Modifikation (SEM Bild)

Abbildung 5: Beispiel eines Aufbaus von System-in-Package Testproben vor FIB der Modifikation; rechts im Bild der schematische Querschnitt des Aufbaus.

- Nachfolgend sind die einzelnen Prozess- und Abstimmungsschritte wiedergegeben. Die einzelnen Phasen, insbesondere die gezielte Fehlererzeugung, stellte auch für die Fehleranalytik Abteilungen von Infineon Regensburg (RGB) und Infineon München (Mch) eine Herausforderung und einen Lernprozess dar. Auf die gewonnenen Erkenntnisse und Erfahrungen konnte aber im weiteren Verlauf des Full Control-Projekts und danach zurückgegriffen werden.

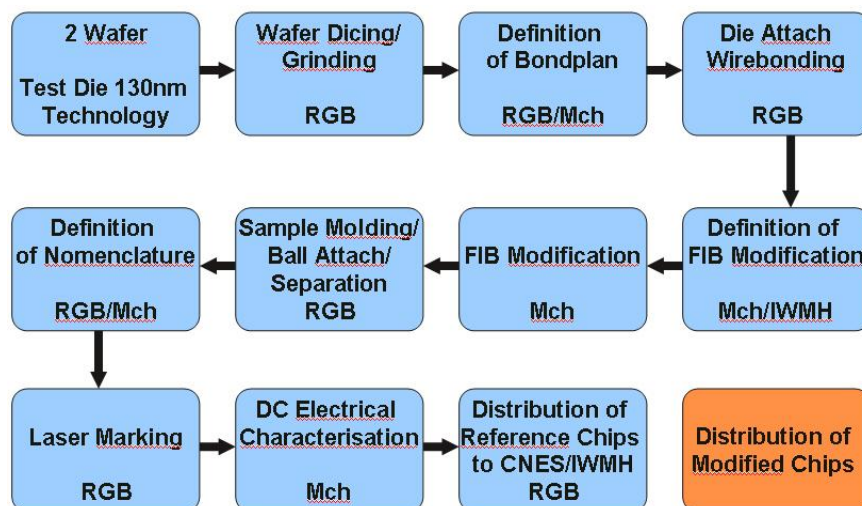


Abbildung 6: Prozeßfluß für Aufbau der SiP Testproben; neben Infineon in Regensburg (RGB) und Infineon München (Mch) unterstützte auch das FhG IZM (IWMH) den Probenaufbau.

Im Rahmen von FULL CONTROL wurden weiterhin von Infineon eine Vielzahl spezieller Probenpräparationen für verschiedene Versuchsdurchführungen durchgeführt (z.B. bei Zeiss, Dantec, Insidix, FhG IWMH, Thermosensorik). Dazu wurden Proben der unterschiedlichen, in komplexen SiP vorkommenden, Package-Materialien (Mould Compound, Leadframes, Bonddraht, Lotmaterial) präpariert. Außerdem wurden komplette SiP Aufbauten (Variante A, Abbildung 4) für die Laserversuche bei Zeiss aufgebaut und bereitgestellt.

1.3 Zerstörungsfreie Fehlerlokalisierung und – identifizierung (AP2)

1.3.1 Time Domain Reflectometry (AP2.1)

Ein wichtiger Fokus von Infineon war die Erarbeitung und Anwendung des Verfahrens der TDR („Time Domain Reflectometry“) für System-in-Package Anwendungen. IFX hat präparierte Teile geliefert und Ergebnisse interpretiert und bewertet. Ein wesentlicher Beitrag war die Optimierung der experimentellen Aufbauten und die instrumentellen Änderungen zur Erweiterung der Anwendungsbereiche sowie erste Tests zu Simulationen für ein besseres Verständnis der Grundlagen.

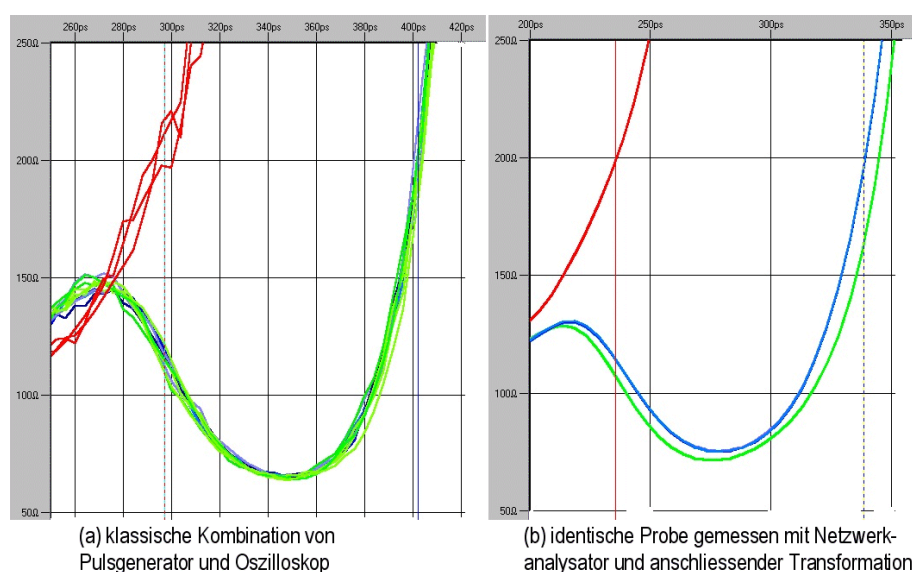


Abbildung 7: Vergleich zweier Methoden zur Messung von TDR-Echosignalen

In einer umfangreichen Vergleichsstudie wurden zwei verschiedene Ansätze zur Messung von TDR-Echosignalen ausgewertet: a) das klassische Verfolgen des reflektierten Spannungsverlaufs eines Spannungspulses in Echtzeit mittels eines Hochfrequenz-Oszilloskops, b) das Ausmessen von S-Parametern – also den Reflektionsfaktoren einzelner ebener Wellen konstanter Amplitude und Frequenz – mittels eines Netzwerkanalysators. An Beispielen wurde gezeigt, dass die Bestimmung im Zeit- und im Frequenz-Raum völlig äquivalent und ohne

Qualitätsverlust mittels Fourier-Transformation ineinander umwandelbar ist. Die klassische Methode ist dabei limitiert durch Jitter des Pulsgenerators und der Triggerung auf diesen Puls, der auch bei der aktuellen Gerätegeneration die zeitliche Auflösung auf ca. 10 psec begrenzt. Die sequentielle über längere Zeit integrierende Bestimmung der S-Parameter stößt bis in Sub-Picosekunden-Bereiche vor (siehe Beispielaufnahmen oben). Auch bei der Bandbreite bis 67 GHz, der Dynamik von bis zu 100 dB und der genaueren Kalibrierungsmöglichkeit, ist der Netzwerkanalysator überlegen. Lediglich die Anschaulichkeit und der einfachere Messablauf sprechen für die Echtzeit-Variante. Um das Potential dieser Methode auszureizen, wurde ein Messaufbau mit optisch kontrollierten Mikromanipulatoren und spezieller Hochfrequenz optimierten Nadeln in GSG(Ground-Signal-Ground)-Anordnung zusammengestellt.

Erste Tests verschiedener Simulationsansätze wurden begonnen. Zum einen ausgehend von schematischen Schaltungen, aber auch mittels komplexer 3D-FEM-Modelle. Die beste Vorgehensweise wurde erarbeitet und mit Vergleichen zum Experiment ermittelt. Das Verständnis der dahinterstehenden Physik dieses Ansatzes war ein weiteres Ziel.

Zunächst war der Fokus bei Time Domain Reflectometry (TDR) vor allem auf instrumentelle Optimierung und Vervollständigung der Aufbauten gelegt. In der nachfolgenden zweiten Projektphase wurden danach verschiedene Methoden eingesetzt, um Signale nachträglich ohne Informationsverlust zu bearbeiten und durch Simulation zu erklären.

Die dabei gewonnenen Kenntnisse konnten erfolgreich bei der nachfolgend beschriebenen Anwendung von TDR an System-in-Package-(SiP)-Testproben genutzt werden (zu Aufbau und Herstellung der SiP-Testproben mit definierten elektrischen Fehlern siehe 2. Zwischenbericht). Abbildung 8 zeigt den prinzipiellen Aufbau, das Röntgenbild und die relevanten Pfadlängen für das TDR-Signal.

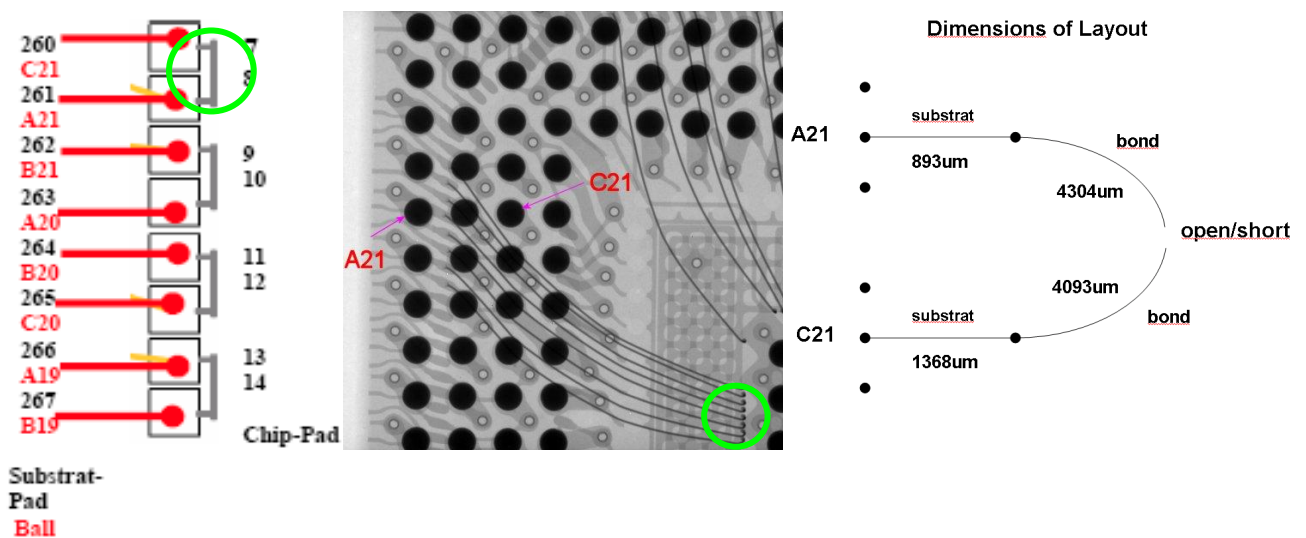


Abbildung 8: Prinzipieller Aufbau, Röntgenaufnahmen und relevante Pfadlänge einer SiP-Testprobe mit eingebauten elektrischen Fehlern (Leiterbahnunterbrechung, Leiterbahnkurzschluss zwischen Drahtbondpads)

Die Messergebnisse zeigen deutliche Unterschiede in der elektrischen Pfadlänge zwischen Testproben mit Leiterbahnunterbrechungen und Leiterbahnkurzschlüssen zwischen Drahtbondpads (Abb. 9).

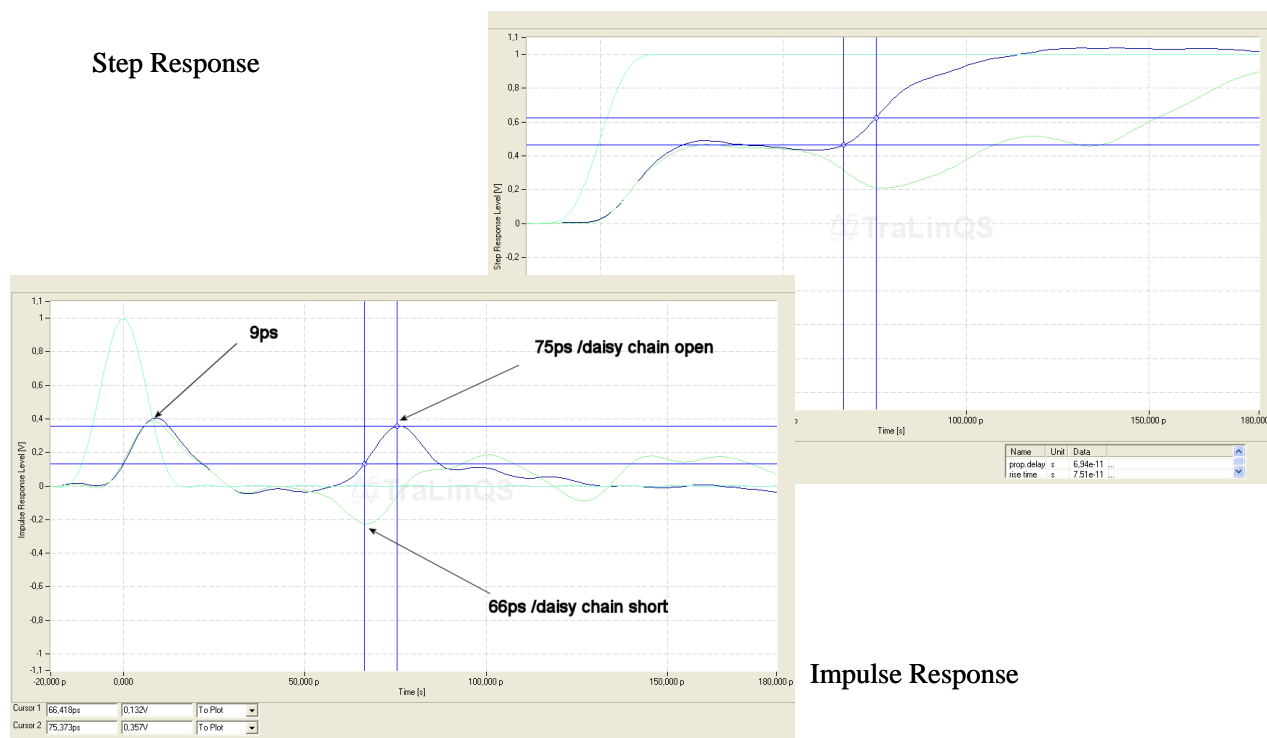


Abbildung 9: TDR-Messergebnisse zeigen deutliche Unterschiede zwischen Leiterbahnunterbrechungen und Leiterbahnkurzschlüssen zwischen Drahtbondpads

Die gemessenen Impulsgeschwindigkeiten für das Substratmaterial liegen bei ca. 200 $\mu\text{m}/\text{ps}$ und 151 $\mu\text{m}/\text{ps}$ für die Drahtbondverbindungen. Gemessene Pfadlängenunterschiede zwischen Bauteilen mit Leiterbahnunterbrechungen und Leiterbahnkurzschlüssen ließen sich in Simulationen mit dem Einfluss der Streukapazität bei Leiterbahnunterbrechungen erklären (Abbildungen 10-12 unten).

Simulation Set-up (with C = open at Bridge; without C = short at Bridge)

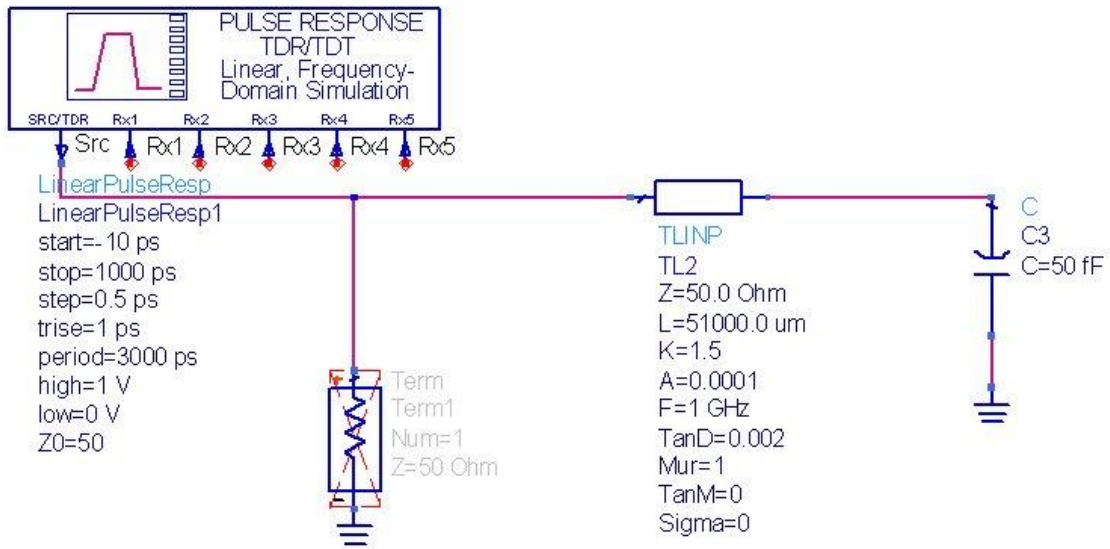


Abbildung 10: Simulations-Schema

Simulation: Short at Bridge

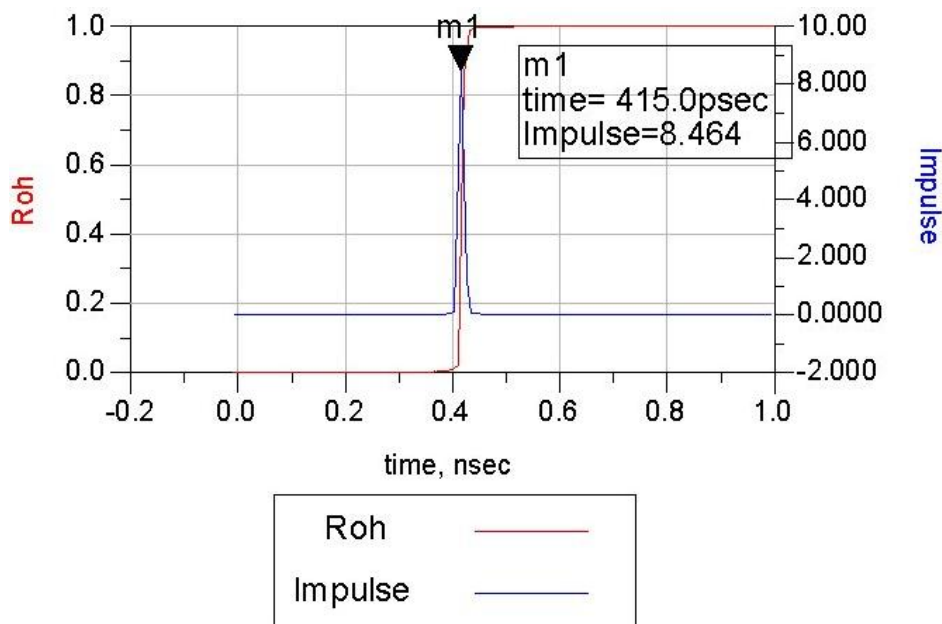


Abbildung 11: Simulation eines Leiterbahnkurzschlusses

Simulation: Open at Bridge

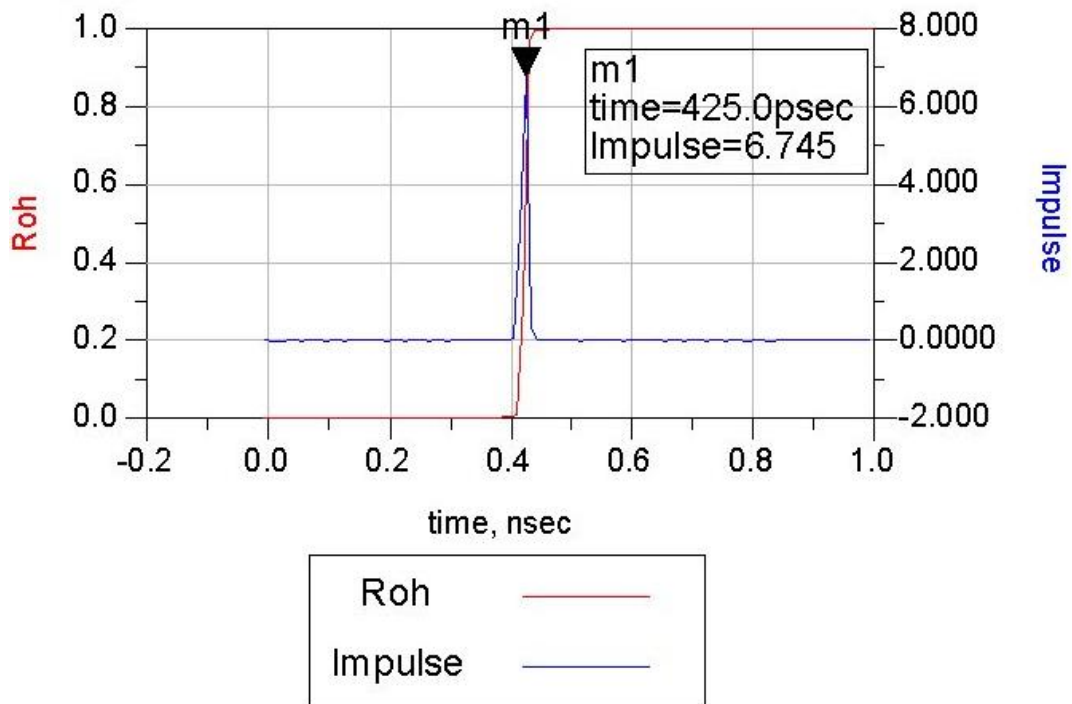


Abbildung 12: Simulation einer Leiterbahnunterbrechung

Auch die Nachverfolgung von Strompfaden auf verschiedenen Chips wurde in „Stacked Die“ SiP-Testproben erfolgreich demonstriert. Der Aufbau ist in Abb. 13 gezeigt.

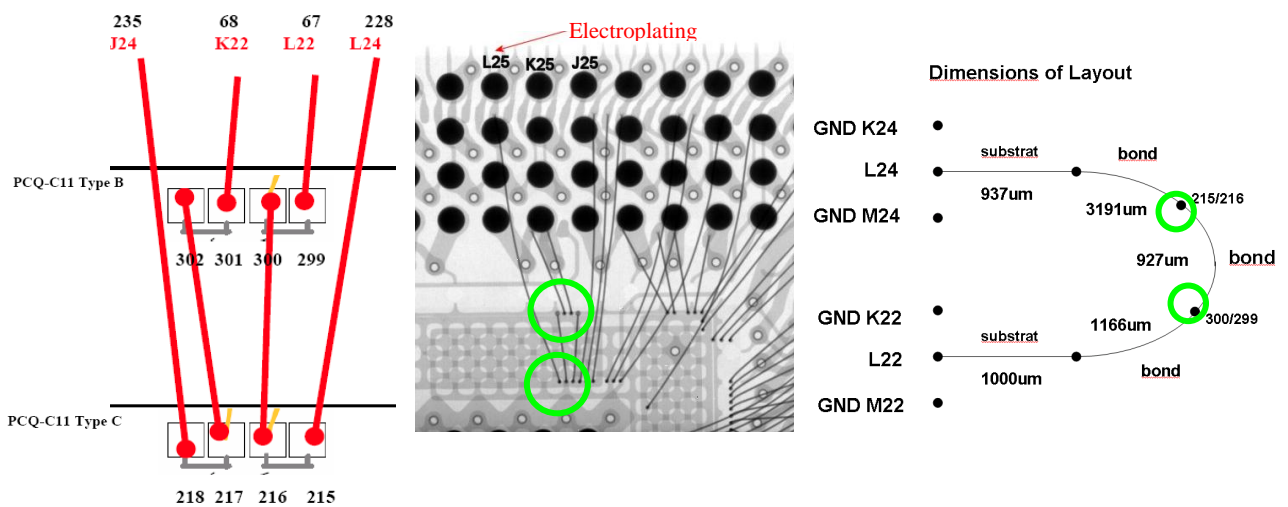


Abb. 13: Prinzipieller Aufbau, Röntgenaufnahmen und relevante Pfadlänge von Drahtbondverbindungen über die verschiedenen gestapelten Chips der SiP-Testprobe

Die Messungen an der SiP-Testprobe zeigten gute Ergebnisse beim Nachverfolgen des Strompfades durch das Substrat und die einzelnen Siliziumchips. Auch konnten Artefakte eliminiert werden, die durch die Galvanisierung verursacht werden. Die Messungen der Impulsgeschwindigkeiten ergaben ca. 200 $\mu\text{m}/\text{ps}$ im Substrat und 155 $\mu\text{m}/\text{ps}$ in den Bonddrähten.

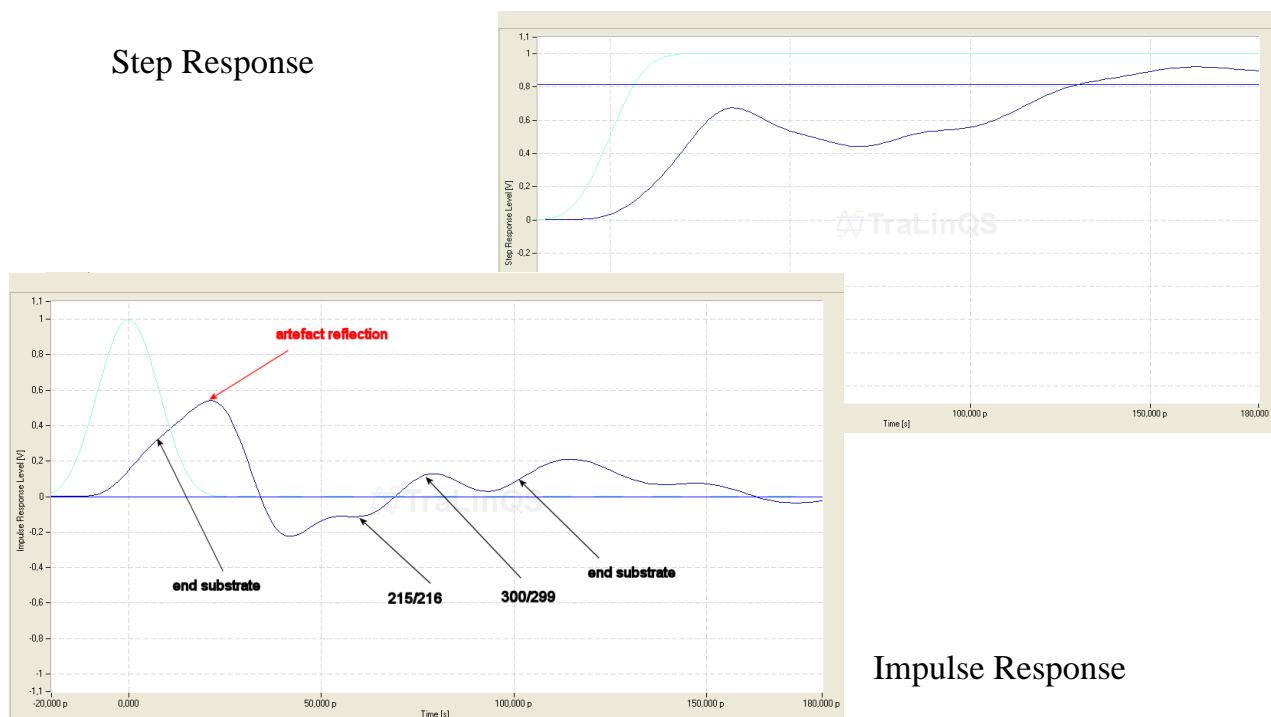


Abbildung 14: TDR-Messergebnisse SiP-Testprobe mit gestapelten Siliziumchips

1.3.2 IR-Lock-In Thermographie (AP2.2)

Bei der Infrarot (IR) Lock-in Thermographie wurde durch Einsatz einer von Infineon hergestellten Siliziumlinse (solid immersion lens, SIL) für reduzierte Bildfelder eine Auflösungssteigerung erreicht. Bei Einsatz in Fehleranalysen konnte so die Genauigkeit der Lokalisierung von Wärmequellen bis auf ca. 1 μm gesteigert werden.

Im Rahmen des FULL CONTROL Projekts wurde eine Thermographie-Variante weiterentwickelt, die Wärmestrahlung mit Hilfe von Infrarot-Kameras mittels eines besonders empfindlichen Lock-in Verstärkungsverfahrens detektiert.

Bei Infineon wurde dazu die vom Projektpartner Thermosensorik bereitgestellte Kamera in verschiedenen erweiterten Situationen eingesetzt. Zum einen konnte eine von Infineon hergestellte Siliziumlinse als Solid Immersion Lens (SIL) genutzt werden. Dabei wird für ein reduziertes Bildfeld eine Auflösungssteigerung durch eine Erhöhung der optischen numerischen Apertur erreicht. Im Einsatz bei Fehleranalysen

im Labor konnte so die Genauigkeit der Lokalisierung von Wärmequellen bis auf ca. 1 μm gesteigert werden (siehe Beispiel Abb.15).

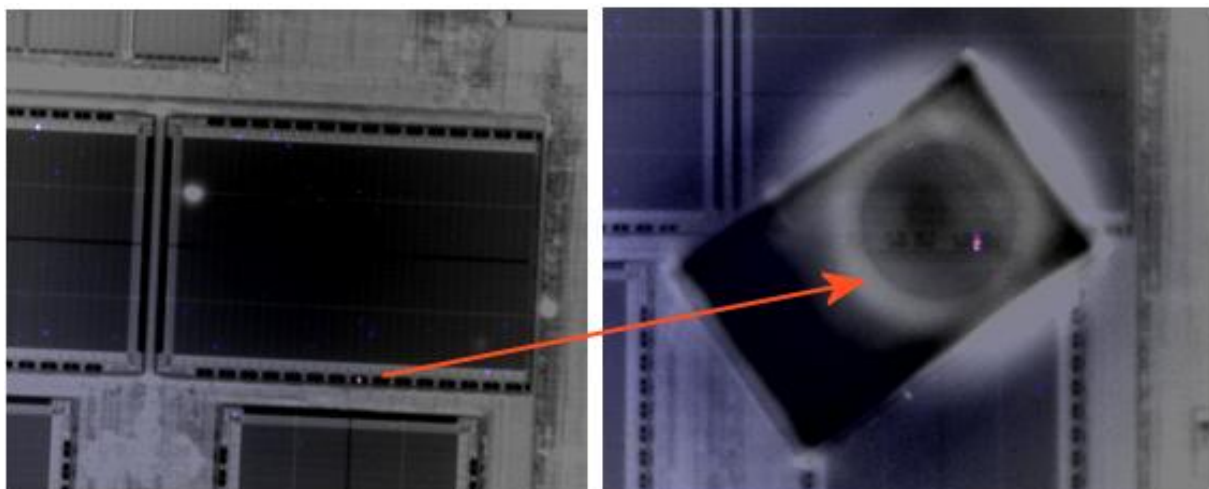


Abbildung 15: Beispiel für die Verbesserung der Genauigkeit der Lokalisierung von Wärmequellen.

In Zusammenarbeit mit dem verantwortlichen Projektpartner IWM Halle und dem Projektpartner Thermosensorik GmbH hat Infineon die räumliche Auflösung der Lock-In Thermographie durch den Einsatz sogenannter SIL-Linsen (Solid Immersion Lens) um den Faktor 3,5 steigern können.

Zur weiteren Optimierung wurden dem Fraunhofer IWMH im Anschluss weitere Proben zur Verfügung gestellt. Zur Ermittlung von Phasenverschiebung und Wärmeleitfähigkeitskoeffizienten wurden reine Pressmassen-Proben (Mold Compounds) angefertigt. Durch das Dünnschleifen auf unterschiedliche Dicken konnten so die Phasenverschiebungen in Abhängigkeit der Pressmassendicke gemessen werden und stehen nun als Kalibrierdaten für zukünftige Messungen zur Verfügung.

Das Fraunhofer IWMH untersuchte die Fehlerlokalisierung nicht nur durch Pressmassen, sondern auch durch komplette SiP-Aufbauten (System-in-Package). Daher sind Messungen von Phasenverschiebungen und Wärmeleitfähigkeitskoeffizienten durch komplette Package-Aufbauten in sogenannter „stacked Die“-Technologie notwendig. Hierfür wurden dem Fraunhofer IWMH ebenfalls Pressmassenproben mit eingebetteten, in 3D gestapelten Siliziumchips zur Verfügung gestellt (s. Abbildung 16).

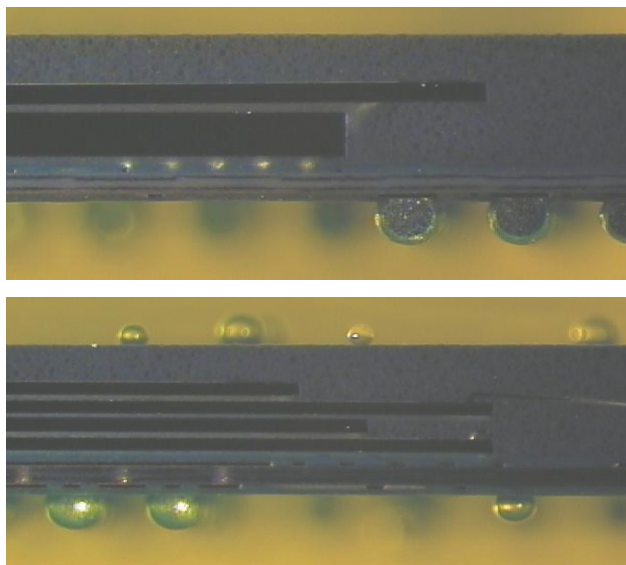


Abb. 16: Gemoldete „stacked dies“ Aufbauten mit 2 (oben) bzw. 4 gestapelten Siliziumchips zur Vermessung von Phasenverschiebung und Wärmeleitfähigkeit beim Fraunhofer IWMH.

1.3.3 Magnetfeldmessungen (AP2.3)

Bei den SMM Messungen wurden zwei kommerziell verfügbare Magnetfeld Sensoren getestet:

A) SQUID Sensor (Superconducting Quantum Interference Device)

B) GMR Sensor (Giant Magneto-Resistive)

Als Testproben dienten u.a. Multichipmodule (Speichermodule) und spezielle Auflösungsproben.

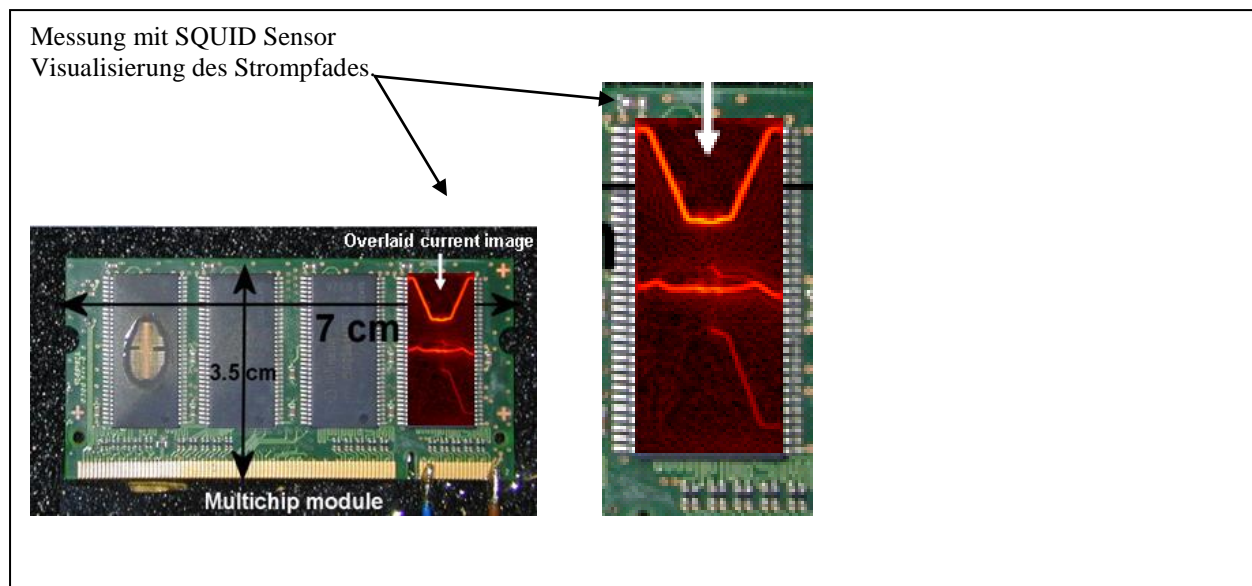


Abbildung 17: Beispiel für Messung mit SQUID Sensor

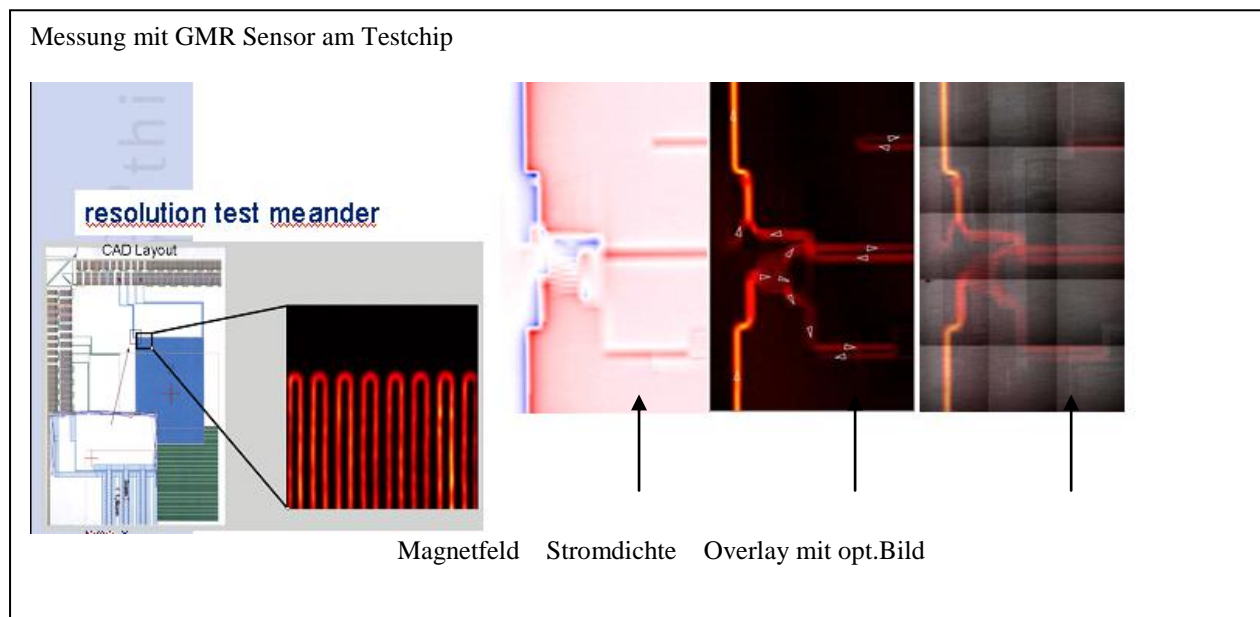


Abbildung 18: Messung mit GMR Sensor am Testchip

Aus den Messungen bei Infineon wurden folgende Erkenntnisse gewonnen:

SQUID-Sensor: Bevorzugter Einsatz bei Mikrosystemen in Gehäusen und Modulen

- Räumliche Auflösung liegt bei 20 μm (Limitiert durch ca. Sensorabstand/4)
- Empfindlichkeit $\sim 20 \text{ nA}$ bei 100 μm Sensorabstand (Magnetfeld 3,7 nT)
- Bonddrähte o.ä. erfordern einen Abstand von 0,5...1 mm
- Momentane Grenze für Messung von Wechselströmen 20 kHz
- Limits der Scan-Bewegung (momentaner x-y-Tisch):
100 mm x 100 mm; 0,5 μm min. step in x/y; 0,1 μm min. step in z

GMR-Sensor: Bevorzugter Einsatz auf Chip-Ebene

- Räumliche Auflösung $< 200 \text{ nm}$
- Empfindlichkeit $\sim 50 \mu\text{A}$ (momentane Geometrie erlaubt Abstände $< 10 \mu\text{m}$)
- Momentane Grenze für Messung von Wechselströmen 100 kHz (mit Lock-in Technik)
- Limits der Scan-Bewegung (momentaner Piezo-kontrollierter x-y-Tisch):
100 μm x 100 μm ; 2 nm min. step

Für die Weiterentwicklung der SMM Methode wurden mehrere Ansatzpunkte gesehen:

- Weitere Miniaturisierung der Sensoren für geringere Arbeitsabstände
- Verbesserung der Feldinversion (Algorithmen) mit angepassten Filterfunktionen (Rauschunterdrückung)
- Quantifizierung bei Nahfeldbedingungen (Arbeitsabstand $< =$ räuml.Auflösung)
- Erfassung der x / y Magnetfeldkomponenten durch Integration weiterer Sensoren mit unterschiedlicher Orientierung.

Deutliche Steigerung des Signal-zu-Rausch-Verhältnis bei der Magnetfeldmessung mittels GMR-Sensoren. Zusammen mit der Entwicklung einer Präparationsmethode zum sicheren Dünnen des Silizium-Substrats ist nun auch die Aufnahme von Magnetfeldbildern und damit Strompfaden durch die Chiprückseite möglich (AP 2)

Zunächst wurden zum Teilbereich Magnetfeldmessung die technologischen Grenzen und aktuellen Auflösungsvermögen erarbeitet, um klare Strategien zur Weiterentwicklung der Methodik zu entwickeln.

In weiteren Arbeiten konnte durch Geometrieoptimierung des GMR-Sensors das Signal-zu-Rausch-Verhältnis abhängig von der Geometrie bis um den Faktor 3 deutlich gesteigert werden. Zusammen mit der Entwicklung einer Präparationsmethode zum sicheren Dünnen des Silizium-Substrats bis auf wenige Mikrometer erlaubte dies die Aufnahme von Magnetfeldbildern und damit Strompfaden auch durch die Chiprückseite. Die ebenfalls verfeinerte Quantifizierung durch Kurvenanpassung ermöglichte nun auch die Bestimmung von Stromstärken und Distanzen innerhalb von komplex verzweigten Strompfaden.

Im Rahmen der bei Infineon geleisteten Arbeit zum Arbeitspakete 2.3 wurden die Stromverteilungen in kompliziert aufgebauten SiP-Bauteilen („Stacked Package“) aufgenommen. Dabei wurden wiederum die SiP-Testproben mit definierten elektrischen Fehlern verwendet.

Es wurden beispielsweise Kurzschlüsse zwischen Drahtbondverbindungen simuliert, indem Bonddrähte gekreuzt wurden und der dabei entstehende elektrische Kontakt den Kurzschluss darstellt (Abb. 19). Des Weiteren wurden Leiterbahnunterbrechungen (Open/Unterbrechungen im Strompfad) mittels Magnetfeldmessungen untersucht.

Die kurzgeschlossenen Strompfade (Shorts) wurden mit einer Wechselspannung mit niedriger Frequenz (wenige kHz) betrieben. Während die Leiterbahnunterbrechungen (Opens) mit einem Hochfrequenzfeld im Radiowellenlängenbereich betrieben wurden. Mit dem magnetischen Mikroskop wurde die Verteilung des Magnetfelds bestimmt. Aus dieser wurden dann die Stromverteilungen errechnet und die Strompfade visualisiert.

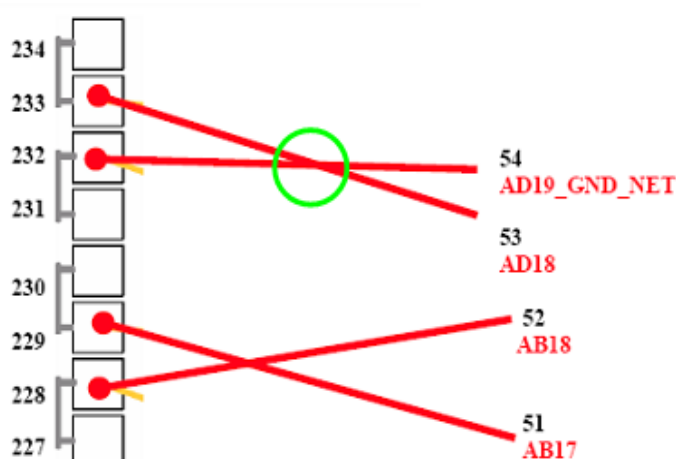


Abb. 19: Prinzipdarstellung der SiP-Testproben mit gekreuzten Bonddrähten mit elektrischem Kontakt zur Simulation von Kurzschlüssen zwischen Drahtbondverbindungen

Die sehr beeindruckenden Ergebnisse der gemessenen Stromverteilungen sind in Abb. 20 und Abb. 21 darstellt, inkl. einem Vergleich der Stromverteilung mit dem im Röntgenbild eingezeichneten Strompfad. Aus der gemessenen Stromverteilung kann der Kurzschluss eindeutig den gekreuzten und elektrisch kurzgeschlossenen Drahtbondverbindungen zugeordnet werden.

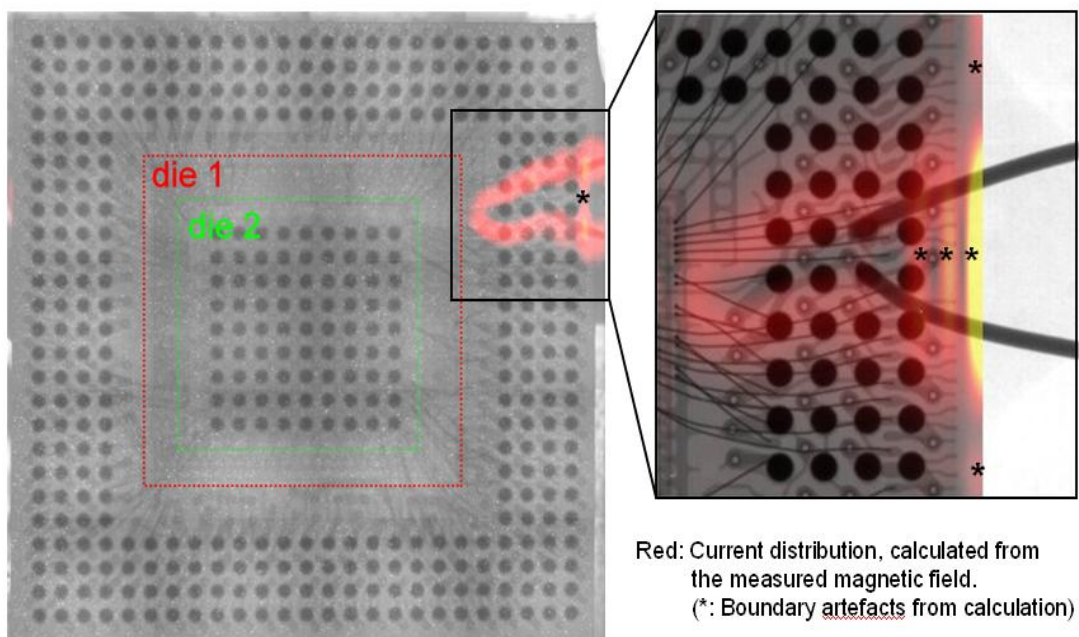


Abbildung 20: Gemessene Stromdichte, überlappt mit Röntgenbild

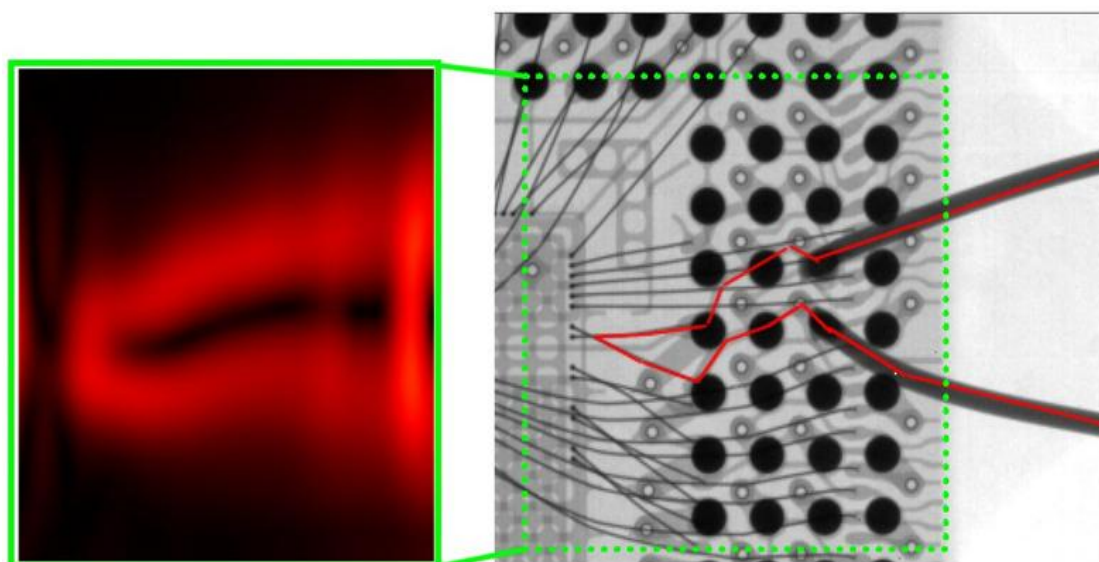


Abbildung 21: Vergleich der gemessenen Stromverteilung mit dem Strompfad, der im Röntgenbild (rechts) eingezeichnet ist

In weiteren Versuchen wurde evaluiert, ob Kurzschlüsse zwischen Bondpads zu detektieren sind (siehe Abb. 22). Die gemessene Stromverteilung zeigt, dass beide Siliziumchips des Stacked-Package-Aufbaus in den Strompfad des Kurzschlussstromes involviert sind. Durch Vergleich mit dem Package-Aufbau kann die Position des Kurzschlusses dem Bereich der Bondpads zugeordnet werden (siehe Abb. 23).

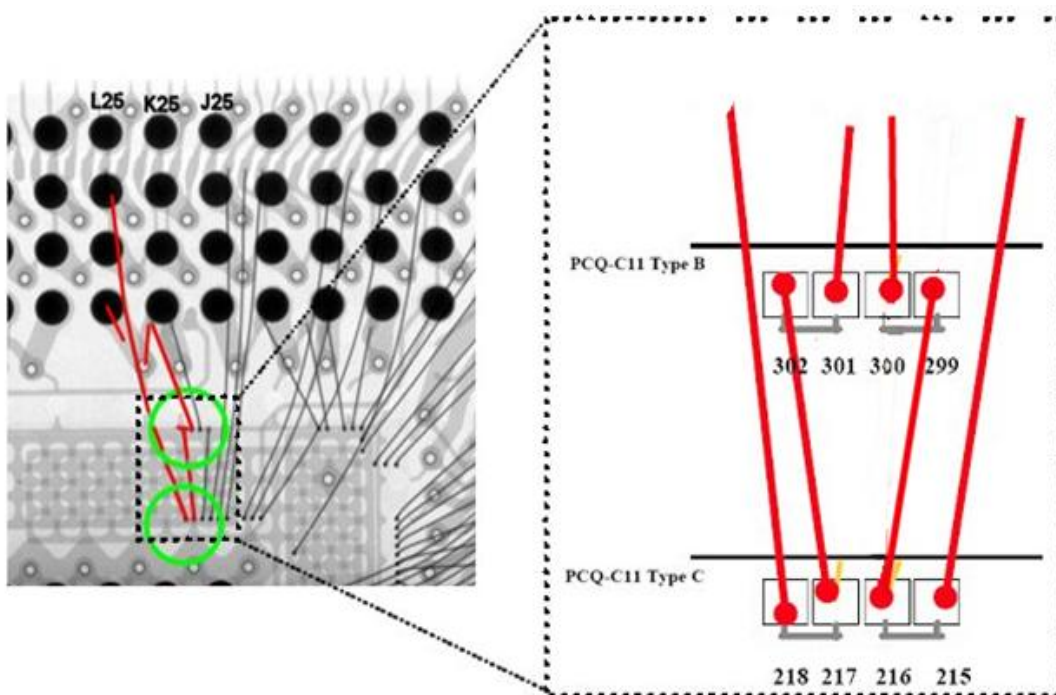


Abbildung 22: Strompfad des Kurzschluss-Stromes eingezeichnet in das Röntgenbild (links)

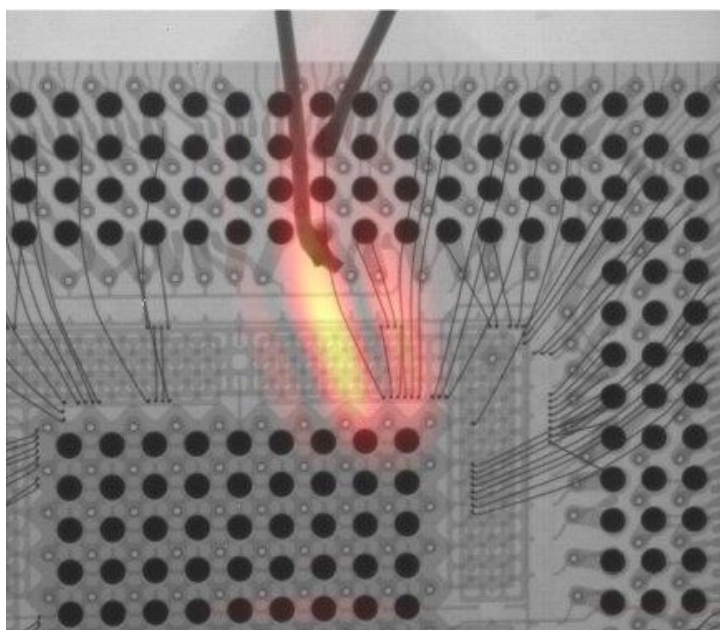


Abbildung 23: Errechnete Stromverteilung im SiP-Bauteil

Außerdem wurde versucht, Leiterbahnunterbrechungen (Opens) in SiPs zu detektieren. Dazu wurden diese mit einem Hochfrequenzfeld im Radiowellenlängenbereich betrieben. Abb. 24 zeigt die Resultate in einer Kupferdraht-Teststruktur nach partiellem Öffnen. Dabei wird die Leiterbahnunterbrechung als lokal erniedrigte Stromdichte erkennbar (Abb. 24).

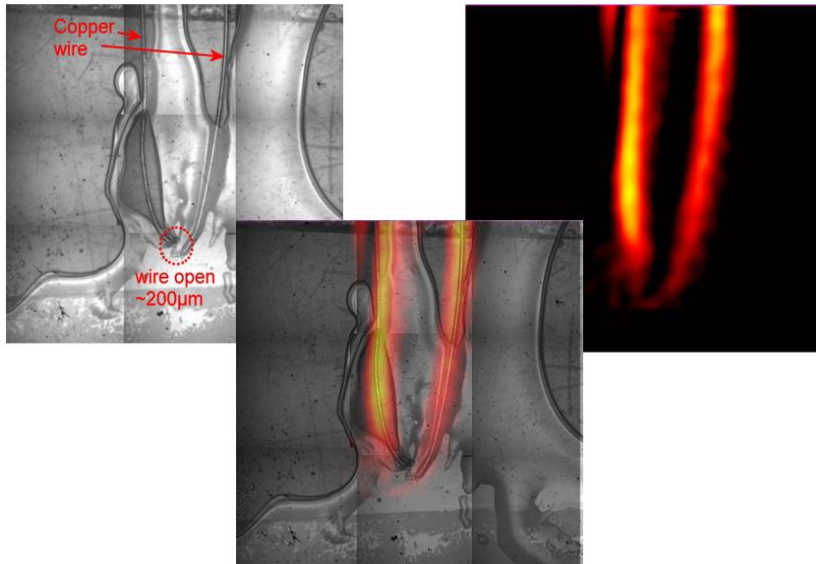


Abb. 24: Leiterbahnunterbrechung (Open) präpariert in einer Kupferdraht-Teststruktur (links), gemessene Stromdichteverteilung (rechts), sowie die Überlagerung mit dem optischen Bild (mitte).

Die Technik wurde ebenfalls auf Leiterbahnunterbrechungen in SiP-Bauteilen angewendet. Der durch das Hochfrequenzfeld induzierte Strom in die durch einen FIB-Schnitt unterbrochenen Leiterbahn ist in Abb. 25 visualisiert. Zusammenfassend lässt sich sagen, dass die Lokalisierung von Leiterbahnunterbrechungen in SiPs mittels Magnetfeldmessungen erfolgreich demonstriert werden konnte.

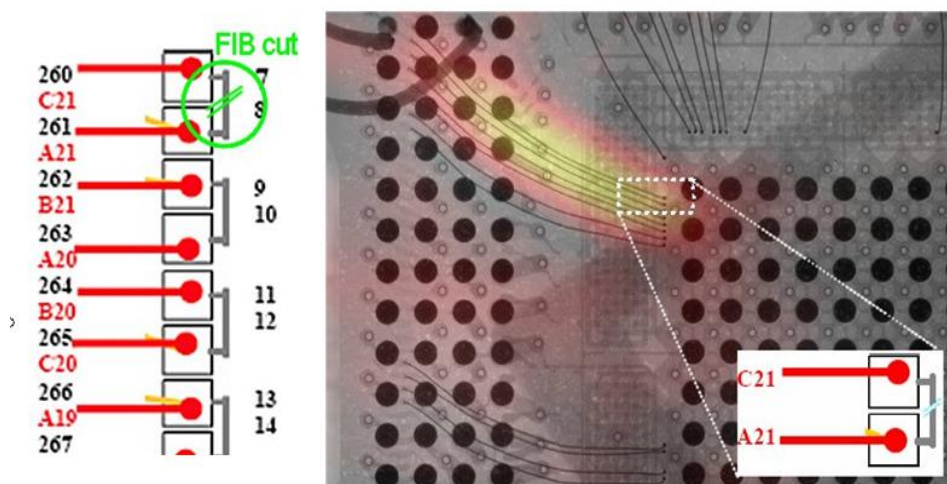


Abb. 25: Durch einen FIB-Schnitt präparierte Leiterbahnunterbrechung (Open) in einem SiP-Bauteil; die Stromdichteverteilung überlappt mit dem entsprechendem Röntgenbild (rechts)

A1.4 Neue Methoden der Zielpräparation

1.4.1 Entwicklung neuer Laserstrahl basierter Präparationsmethoden

Infineon verfügt über einen Infrarotlaser zur Präparation von Mikrosystemen. Essentiell war hier die systematische Bestimmung der Ablationseigenschaften für die typischen Materialien, die beim Packaging von Mikrosystemen Anwendung finden. Hierzu wurden z.B. Materialproben von Pressmassen in Plattenform verwendet. Typische Parameter der Laserquelle sind Strom, Pulsfrequenz und Scangeschwindigkeit des Strahls.

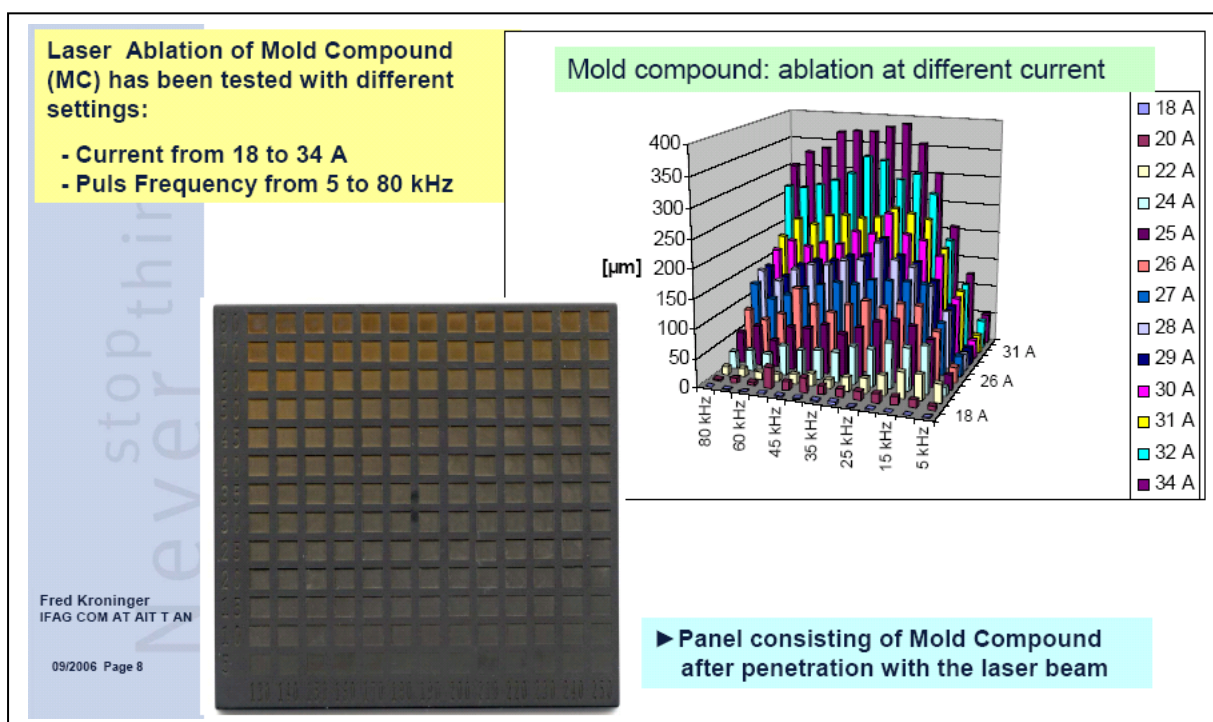
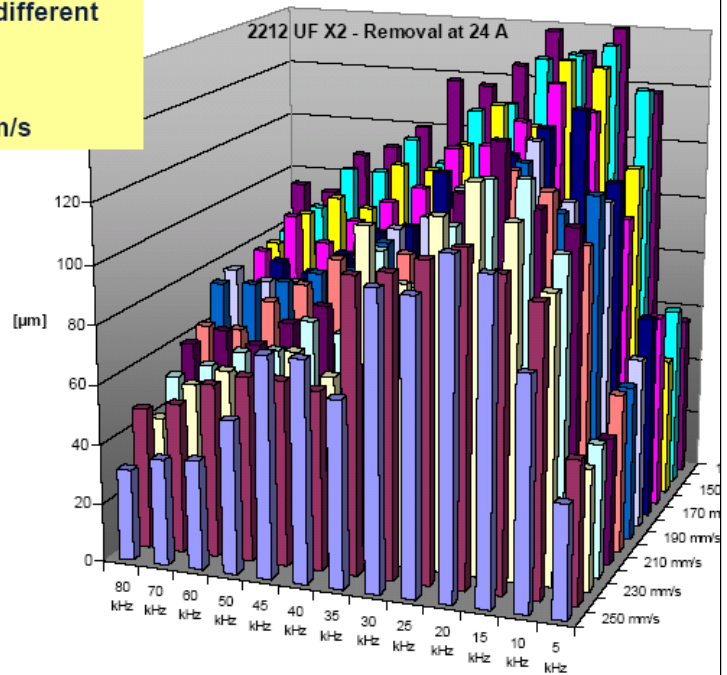


Abbildung 26: Beispiele für Ablation von Moldcompounds mit unterschiedlichen Laserparametern: Strom und Pulsfrequenz. Unten ist ein Panel nach Durchdringung von Laserstrahlung gezeigt.

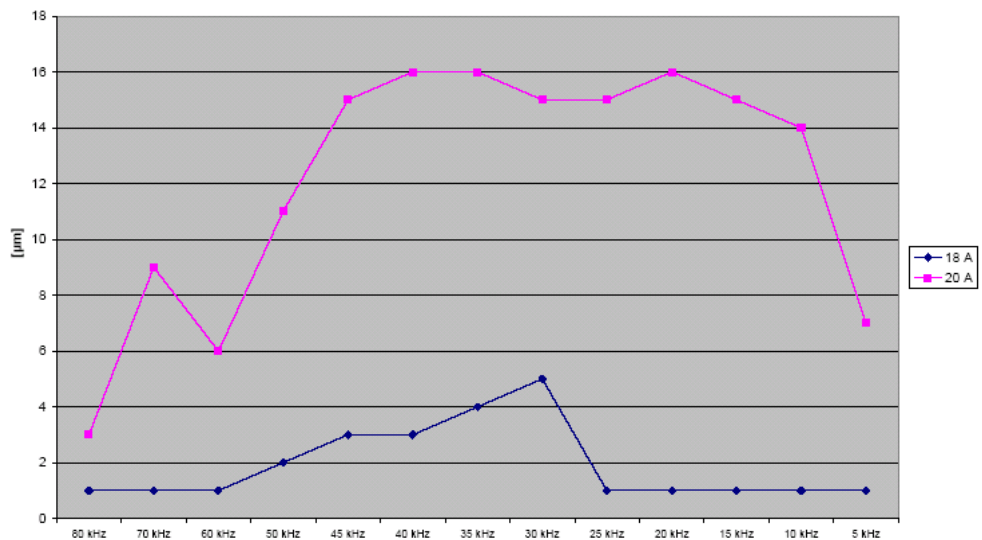
Laser Ablation of Mold Compound (MC) has been tested with a current of 24 A for different settings:

- Puls Frequency from 5 to 80 kHz
- Traverse Speed from 130 to 250 mm/s



Fred Kroninger
IFAG COM AT AIT T AN
09/2006 Page 10

Removal as a function of the puls frequency at fixed currents (18A, 20A) - MC Shinetsu 2212



Fred Kroninger
IFAG COM AT AIT T AN
09/2006 Page 11

Abbildung 27: Variation der Laserabtragungsrate als Funktion der Laserparameter

Laser-Präparation

Zur Untersuchung der Präparationsverfahren wurden sog. „Device-Dummies“ aufgebaut – d.h. Bauteile ohne elektrische Funktion jedoch mit neuester Gehäusetechnologie. Sie dienen dazu, die Eignung der Präparationsverfahren im

komplexen Materialmix von Mikrosystemen zu untersuchen (z.B. bei „stacked Dies“ Technologie das Ablationsverhalten der Laser im Materialverbund Pressmasse/ Silizium/Klebertape/ Silizium/Kleber/Substrat). Hierfür wurden 2 Testvehikel im Gehäusotyp P-TFBGA-417 von Infineon aufgebaut. Beide Varianten wurden auch dem CNES in Toulouse zur Evaluation des Femtosekunden-Lasersystems zur Verfügung gestellt. Diese Aufbauten waren analog Abbildung 4. Als Testaufbauten u.a. zur Evaluation der unterschiedlichen Laserquellen wurden 2 Varianten aufgebaut: Variante A = Stapelung von Chip in 3D mittels Drahtbonden; Variante B: Stapelung von Chips durch gemischte FlipChip/Drahtbond Technologie.

Ausgehend von einer ausführlichen Marktuntersuchung wurde eine Reihe von Laserherstellern und Lasersystemlieferanten für die Untersuchung der unterschiedlichen Laserquellen ausgewählt. Systeme von TRUMPF (1064nm-Mikrobearbeitungslasers) und von ROFIN SINAR Laser GmbH (532nm und 355nm) wurden auf Ihre Anwendbarkeit hin untersucht. Es wurden Untersuchungen zu Picosekundenlasern und Excimerlasern erarbeitet. Von Infineon Regensburg wurde auch die Analyse der mit dem CNES-Femtosekunden-Lasersystem bearbeiteten Proben übernommen und dem CNES zur Verfügung gestellt.

Laser-basierte Zielpräparation in 3D System-in-Package Aufbauten

Im folgenden werden die wichtigsten Ergebnisse der Öffnung von Moldcompounds (MC) mit verschiedenen Lasern zusammengefasst. Die Entfernung von MC von Gehäusen um die darin eingebetteten Chips freizulegen, ist ein wichtiger Teil Zielpräparation der Fehleranalyse [zu Details siehe Referenzen [6,8].

Im Rahmen des FULL CONTROL Projekts wurden verschiedene Laserquellen untersucht (zu Details siehe auch Refs. [6,8]).

- Femto-Sekunden Laserquelle
- Picosekunde Laserquelle
- Exzimer Laserquelle
- Dioden gepumpter Festkörperlaser

Insbesondere wurden der Einfluss der Pulsdauer und die Wellenlänge auf die Abtragung auf verschiedene Komponenten in gestapelten System-in-Package Aufbauten untersucht.

Zusammenfassend ergaben sich folgende Ergebnisse:

Ultrakurze Laserpulse im Femto-Sekunden Bereich sind nicht für Abtragung des Moldcompounds (MC) geeignet. Für MC mit hohem Anteil von Füllstoffen sind Laserpulse im Nanosekundenbereich gut geeignet, denn durch den thermischen Abtragsprozess werden die Füllerteilchen zerschlagen und überlagern sich nicht mit weiterer Abtragung. Die Pikosekunden Laserquelle im Infraroten und Grünen Lichtbereich eigneten sich besser für MC Abtragung, verursachten aber tiefe Löcher in Silizium. Dies ist das Hauptproblem von Pikosekundenlaser. Der in FULL CONTROL benutzte Exzimerlaser zeigte keine deutliche Siliziumabtragung. Der Exzimerlaser konnte das MC gut abtragen, erzeugte aber eine große „Heat Affected Zone (HAZ)“ Für die Abtragung von Si-Chipstapel mit DPSS (Diode Pumped Solid State) Laser ist die Wellenlänge entscheidend. Mit dem 355 nm DPSS Laser war eine deutliche Siliziumabtragung mit einer Oberflächenrauigkeit von etwa 5 µm

möglich. Aufgrund der geringen sichtbaren Schäden im μm -Bereich erzielte dieser Laser die besten Ergebnisse für Zielpräparation von SiP Aufbauten. In Tabelle 2 sind die Untersuchungen zu Laserablation zusammengefasst (Refs. [6,8]).

Tabelle 2: Zusammenfassung der Ergebnisse für Laserablation wichtiger SiP Materialien wie Silizium, MC und bestimmter Metalle (Cu/Au) (siehe Referenzen [6,8]).

Laser Source	Material		
	Moldcompound	Silizium	Cu/As
Femtosekunden Laser	-	+	++
Pikosekunden Laser 1030 nm	+	-	-
Pikosekunden Laser 515 nm	+	-	+
Exzimerlaser 248 nm	++	-	+
DPSS 1064 nm	++	-	-
DPSS 532 nm	++	+	+
DPSS 355 nm	++	++	++

1.4.2 Freilegung von IC Oberflächen in Gehäusestapel durch Micro-abrasive Blasting

In diesem Abschnitt wird das mikro-abrasive Druckluftstrahlen (engl. *Micro-abrasive blasting*, MAB) als komplementäre Präparationsmethode zum Freilegen von IC-Strukturen in SiPs mit gestapelten Siliziumchips beschrieben, welche im Rahmen von FULL CONTROL entwickelt wurde. Dieses ist nicht nur notwendig, um Zugang zu den IC-Strukturen zur Fehleranalyse zu erhalten. Auch für die zerstörungsfreien Lokalisierungsverfahren wie Infrarot-Thermografie und magnetische Bildgebung kommt es mit einer zunehmenden Anzahl von gestapelten Chips bzw. mit zunehmendem Arbeitsabstand zu einer signifikant reduzierten Auflösung.

Die im Abschnitt zuvor beschriebene Laserpräparation erlaubt zwar die Herstellung von Querschnitten in ausgezeichneter Qualität ebenso wie den sehr gleichmäßigen flächigen Abtrag mehrerer gestapelter Siliziumchips. Allerdings ist der Laserabtrag trotz der geringen Oberflächenrauigkeit nicht geeignet um die Präparation gezielt in der Klebeschicht zu stoppen. Wie sich bei der Ermittlung der Abtragraten gezeigt hat, hat die Polymermatrix der Klebefolie eine rund 50-fach höhere Abtragsrate als Silizium. Somit wird die 25 μm dicke Klebefolie in Sekundenbruchteilen abgetragen und die darunterliegenden IC-Strukturen beschädigt.

Der Prozessablauf für das Freilegen von IC-Strukturen in einem SiP ist nachfolgend gezeigt. Zunächst werden zwei unterschiedliche Maskierschichten auf dem Bauteil befestigt. Die unterste Maskierschicht ist ein Aluminium-Klebeband, das als Ätzmaske beim chemischen Entfernen verhindert, dass die umliegende Vergussmasse ebenfalls abgetragen wird. Darüber wird als obere Maskiermaske ein elastisches Klebeband befestigt, welches den Bereich des mikro-abrasiven Druckluftstrahlens festlegt. Alle Bereiche unterhalb dieser elastischen Maskierung werden vom mikro-abrasiven Druckluftstrahlen nicht angegriffen.

Nach der Maskierung erfolgt das mikro-abrasive Druckluftstrahlen auf der Bauteiloberfläche. Bei einem Düsenabstand von 120 mm und einen Luftdruck von 2

bar wird $20\ \mu\text{m}$ Vergussmasse bzw. $12\ \mu\text{m}$ Silizium pro Sekunde abgetragen. Nach dem Erreichen der Klebefolie unter dem obersten Siliziumchip wird diese mit rund $0,6\ \mu\text{m/s}$ abgetragen. Die Klebefolie würde also für rund 40 s den abrasiven Partikeln widerstehen.

Nach dem kompletten Abtrag von Vergussmasse und obersten Siliziumchip wird das mikro-abrasive Druckluftstrahlen allerdings gestoppt und die Klebefolie chemisch entfernt (Abbildung 28). Dies geschieht mit auf $60\ \text{°C}$ erwärmter Salpetersäure. Nach wenigen Sekunden zeigt die Klebefolie ein blasenartiges Anschwellen und kann mit einer Pinzette entfernt werden. Alternativ kann die Klebefolie auch komplett mit Salpetersäure aufgelöst werden.

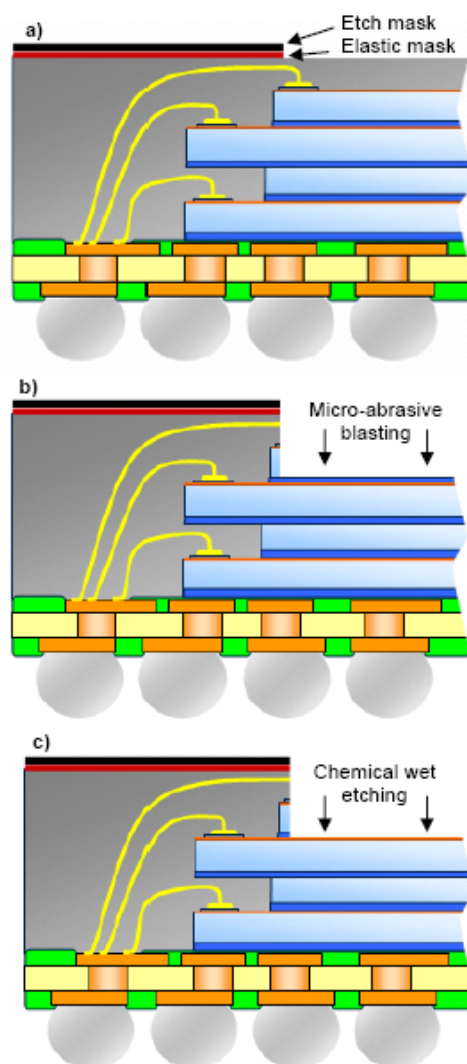


Abbildung 28: Prozessablauf für das Freilegen von IC-Strukturen in einem SiP mit gestapelten Siliziumchips: (a) Aufkleben zweier Maskierschichten; (b) Abtrag der Vergussmasse und des obersten Siliziumchips; (c) Chemisches Auflösen der Klebefolie mit Salpetersäure.

Das mikro-abrasive Druckluftstrahlen zum Abtragen des Siliziumchips innerhalb weniger Sekunden sowie das chemische Entfernen der Klebeschicht können nun

zum schichtweisen Abtrag weiterer gestapelter Siliziumchips verwendet werden. Das Resultat mehrerer solcher alternierender Durchgänge ist in Abbildung 29 gezeigt. In einer Ecke des Bearbeitungsfeldes sind drei abgetragenen Siliziumchips und die dazwischen liegenden Klebeschichten erkennbar. Abbildung 29 zeigt die unterste Klebefolie sowie den untersten freigelegten Siliziumchip mit unversehrter Aluminiumpassivierung. Die unbeschädigten IC-Strukturen sind nun zugänglich für weitere Untersuchungen oder zur Fehleranalyse.

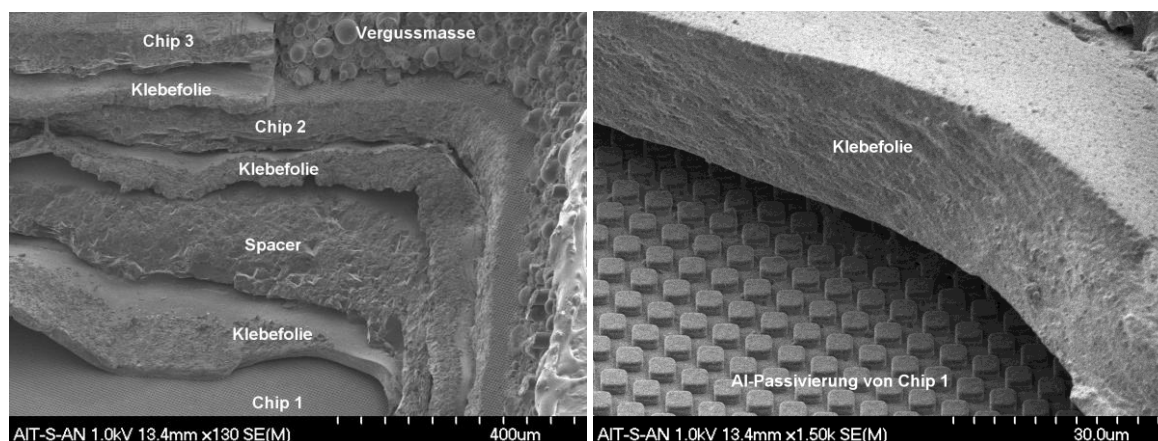


Abbildung 29: (a) REM-Aufnahme einer Ecke des Bearbeitungsfelds; (b) Detailaufnahme der untersten Klebefolie und der unbeschädigten Aluminiumpassivierung des freigelegten Siliziumchips.

Zusammenfassend lässt sich sagen, dass das mikro-abrasive Druckluftstrahlen eine schnelle, zuverlässige und preisgünstige Methode zum Freilegen von IC-Strukturen in SiPs mit gestapelten Siliziumchips ist. Die Gerätekosten sind minimal und die Bedienung ist auch durch unerfahrene Anwender möglich, da die freizulegenden Strukturen vom der elastischen Klebefolie geschützt sind. Ein bedeutender Vorteil ist weiterhin, dass die Verwölbung des Halbleitergehäuses bzw. der Siliziumchips keinen Einfluss auf das Präparationsresultat hat.

Der bisherige Stand der Technik, nämlich das planparallele Schleifen kombiniert mit Plasmaätzen oder chemischem Ätzen ist weitaus zeitaufwändiger, kostenintensiver und benötigt zudem sehr erfahrene Anwender als das mikro-abrasive Druckluftstrahlen [Referenz 4+5]. Für das Freilegen von einzelnen gestapelten Siliziumchips, welches mit reiner Laserpräparation nicht möglich ist, steht dank FULLCONTROL auch für diesen Sonderfall eine geeignete artefaktfreie Präparationsmethode zur Verfügung. Abbildung 30 unten zeigt die Messung der Abtragungstiefe mittels eines Profilometers.

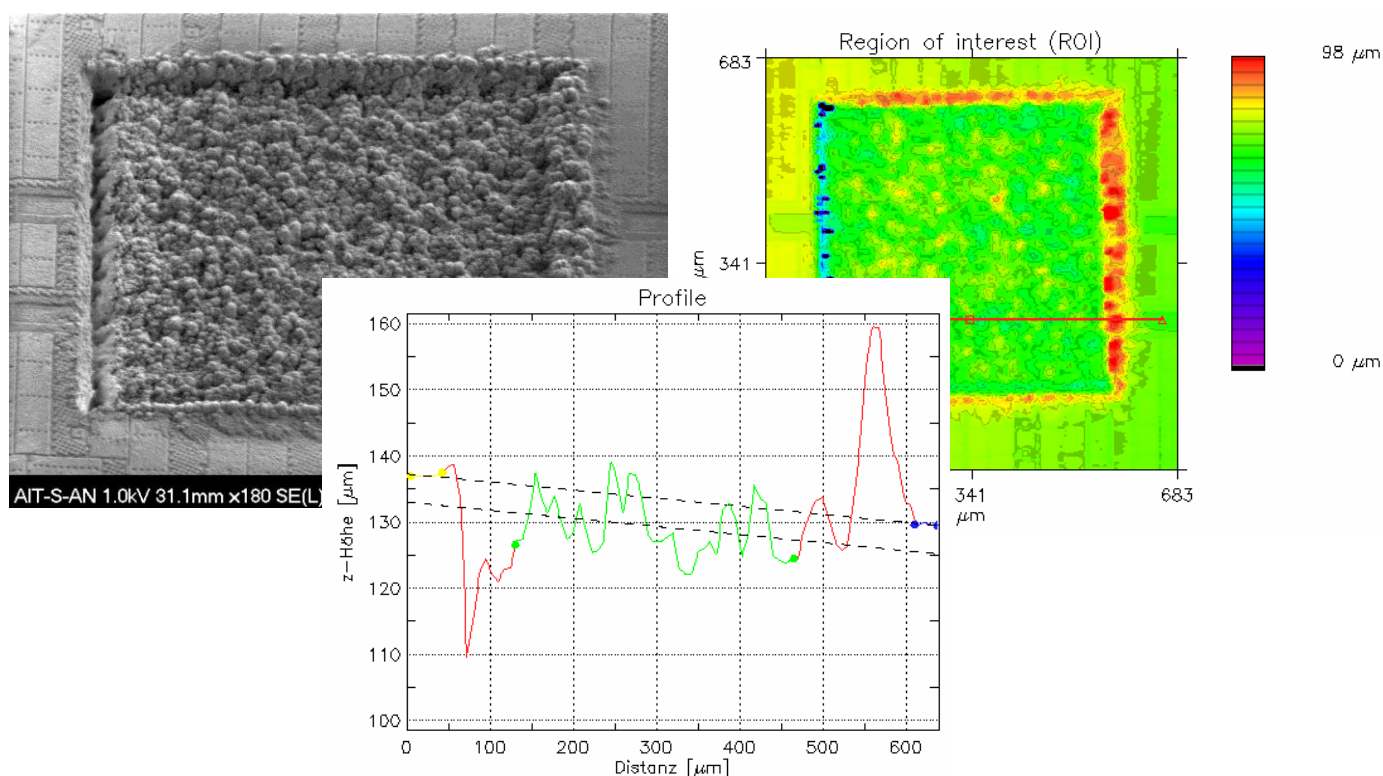


Abbildung 30: Messung der Abtragungstiefe mittels eines Profilometers.

1.4.3 FIB Präparationstechnik für hochauflösend Untersuchungen (AP3.3, AP3.4)

Gerätekonzept für die Implementierung der Laserablation in die CrossBeam-Technologie

Von Carl Zeiss NTS und Infineon wurde ein Gerätekonzept zur Implementierung der Laserablation in die Cross-Beam-Technologie entwickelt. Dieses ist unabhängig von der spezifischen Laserquelle. Wesentliches Merkmal ist die Trennung von Laserquelle und FIB-Kammer zur Schwingungsvermeidung.

Laser-Präparation bzw. FIB-Laser-Integration

Wesentlich für die spätere Bedienbarkeit des neuen Geräts wird die Navigation auf der Probe sein, um eine zuverlässige Fehlerpräparation zu gewährleisten. Aus diesem Grunde wurden Carl Zeiss NTS von Infineon kompliziert aufgebaute SiP-Bauteil (10x SiP System-in-Package 4-fach-Stack und 5x FCWB FlipChip WireBond) mit definierten Fehlern zur Verfügung gestellt. Zusammen mit von Infineon hergestellten hochaufgelösten Röntgenaufnahmen wurde an diesen Bauteilen die Navigation auf den Bauteilen bzw. Navigation mittels Röntgenbildern in die Steuerung des Demonstrators integriert.

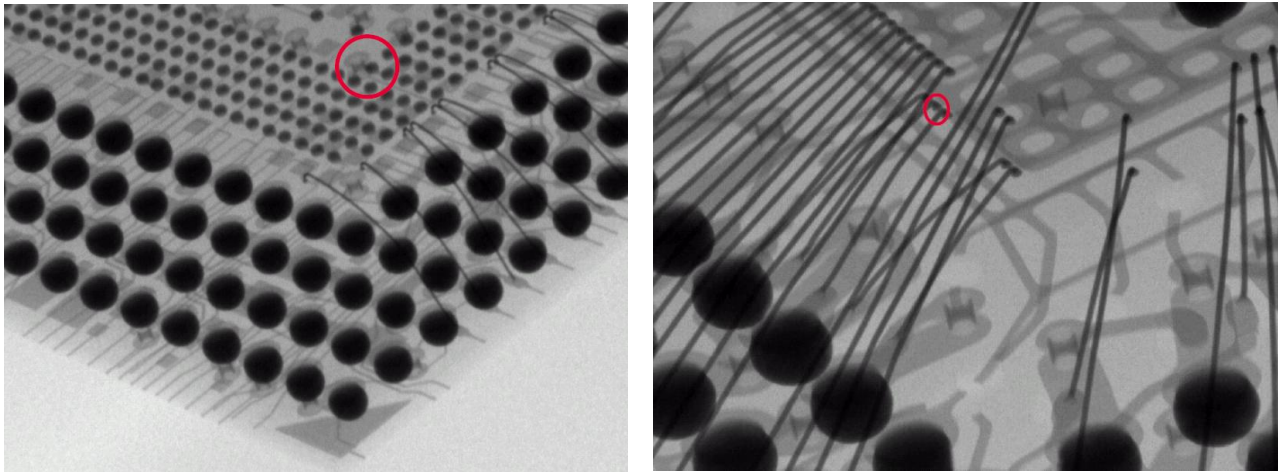


Abb. 31: Röntgenaufnahmen von SiP-Aufbauten mit definierten Fehlern.

In Abstimmung mit den Projektpartnern Carl Zeiss NTS und Fraunhofer IWMH wurde die Evaluation des Demonstrators der FIB-Laser-Integration abgestimmt. Dabei wurde die in Abbildung 32 dargestellte Matrix der geplanten Erprobungen ausgearbeitet.

Zum einen sollten das Abtragsverhalten und die Wärmeeinflusszonen an den reinen Package-Materialien wie z. B. Leadframes, Bonddrähten, Lotmaterialien usw. ermittelt werden. Zum anderen sollte dies auch in komplexen SiP-Systemen geschehen um die Auswirkungen und Einflüsse auf die Fehlerlokalisierung im Gesamtsystem zu erfassen.

Erste Voruntersuchungen wurden von Infineon durchgeführt, um einzelne Messmethoden wie z. B. die Erfassung von laserinduzierten Störstellen im Siliziumkristallgitter mittels XRT (Röntgen-Topographie) für Anwendungen auf komplette SiP-Systeme zu qualifizieren.

Die Konstruktion und die Fertigung der einzelnen Komponenten für den Demonstrator der FIB-Laser-Integration beim Projektpartner Carl Zeiss NTS wurde abgeschlossen inkl. der Konstruktion der Laserbearbeitungskammer mit Schleuse, Laserfenster, Vakuumsystem und Gaseinlässen. Nachdem von Carl Zeiss NTS der Laser zum ersten Mal in Betrieb genommen wurde, wurden gemeinsame Versuchsdurchführungen von Infineon und Carl Zeiss NTS zur Evaluation des Demonstrators der FIB-Laser-Integration gemacht.

Reine Materialien:					
Material:	Ziel der Untersuchung:	Vorgehensweise:	Material geliefert von:	Methoden:	Wo:
Golddraht (geglüht / ungeglüht) HA; $\varnothing > 30 \mu\text{m}$	Wärmeinflusszone (WEZ) in Au bestimmen	Draht auf Träger befestigen --> durchlasern --> Analyse	IWMH	FIB-CS, Channeling-Kontrast, EBSD?	IWM Halle (Zeiss)
Kupfer Leadframe / eventuell verzinkt	Wärmeinflusszone (WEZ) in massiven Cu bestimmen	Leadframe durchlasern	Infineon Rgb	FIB-CS, Channeling-Kontrast, EBSD?	IWM Halle (Zeiss)
Lote / Lotballs / standard bleifrei Lot / eventuell im FCWB	WEZ im Lot bestimmen	Lot ball durchlasern	Infineon Rgb	FIB-CS, Channeling-Kontrast, EBSD?	IWM Halle (Zeiss)
Silizium	quantitative Ausdehnung der WEZ (Aufschmelzzone, Versetzungen) als Funktion der Laserparameter	Matrix verschiedener Laserparameter auf unprozessierten Si-Wafer lasern	Infineon Rgb (Vorversuch läuft)	XRT - X-Ray Topography	Infineon Mch
Materialsysteme:					
Materialsystem:	Ziel der Untersuchung:	Vorgehensweise:	Material geliefert von:	Methoden:	Wo:
Au-Bondpad	WEZ in Bondpad bestimmen - Gefüge wohl gleichmäßig in der Tiefe verteilt, in lateraler Richtung dürfte Gefügeänderung besser ermittelbar sein	Bondpad mit Laser freischneiden	Infineon Rgb	Channeling-Kontrast, EBSD?	IWM Halle (Zeiss)
Au-Bondpad mit Golddrahtbond (gemoldet)	Laser CS durch Drahtbondverbindung	Rechteck versetzt auf Reihe von Bondverbindungen lasern --> CS an unterschiedlichen Positionen	Infineon Rgb	Channeling-Kontrast, EBSD?	IWM Halle (Zeiss)
Cu-Meanderstrukturen auf Testchip in Stacked Package	WEZ auf strukturiertem Chip bestimmen	CS senkrecht zu $0,5 \mu\text{m}$ bzw. $3 \mu\text{m}$ breiten Cu-Linien - WEZ in den verbleibenden $150 \mu\text{m}$ Cu-Leiterbahn bestimmen	Infineon Rgb	FIB CS, Channeling-Kontrast, EBSD?	IWM Halle (Zeiss)
Stacked Package	WEZ in Si auf strukturiertem Chip bestimmen	Laser CS durch Stacked Package anfertigen --> einbetten --> Schliff dünnen	Infineon Rgb (Vorversuch läuft)	XRT - X-Ray Topography an gedünntem Schliff	Infineon Mch

Abbildung 32: Aufstellung der geplanten Erprobungen am Demonstrator der FIB-Laser-Integration (mit Carl Zeiss NTS und Fraunhofer IWMH abgestimmt).

Bei den Versuchen wurden auf reinem Package-Material, wie z. B. Silizium und Leadframe-Kupfer, Matrizen mit variierten Laserparametern (Laserleistung, Pulsfrequenz) gelasert (Abb. 31). Ziel war es, die Schädigungszone durch die laserinduzierte Wärme (engl. Heat-Affected-Zone HAZ) zu bestimmen und mit den Laserparametern zu korrelieren. Die Kenntnis von der Größe der Schädigungszone im SiP ist ausgesprochen wichtig, da diese gleichbedeutend ist mit der Materialmenge, die bei der anschließenden FIB-Präparation abgetragen werden muss. Das ist wiederum der bedeutendste Faktor für die Gesamtprozesszeit. Des Weiteren wurden auch Laserversuche an kompletten SiP-Bauteilen durchgeführt.

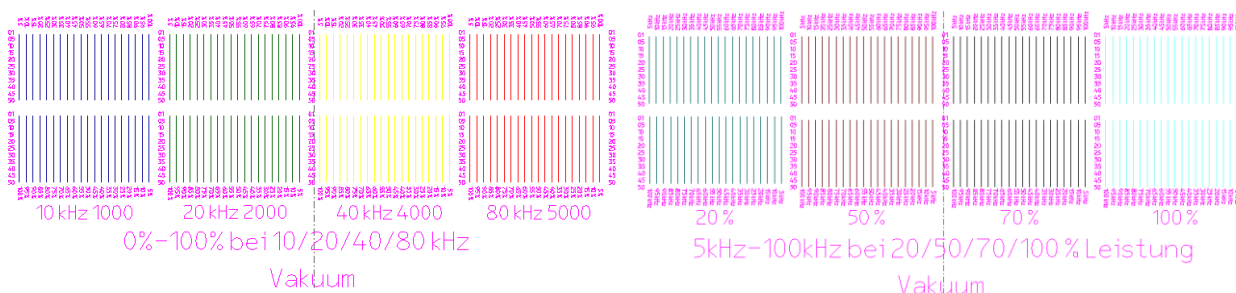


Abbildung 33: Matrizen mit unterschiedlichen Laserparametern, gelasert auf Silizium und Kupfer-Leadframe, um die Größe der temperaturgeschädigten Zone (HAZ) zu bestimmen.

1.4.4 Analyse der „Heat Affected Zone (HAZ)“ bei Zielpräparation

Ein Fokus von Infineon waren Untersuchungen zur Analyse der „Heat Affected Zone (HAZ)“. Deren Ausmaß hat entscheidenden Einfluss auf die nach der Laserpräparation erforderliche FIB-Politur, da die Menge an abzutragendem Material den dafür nötigen Zeitaufwand bestimmt.

Um festzustellen, ob es durch den Laserabtrag zu optisch nicht sichtbaren Schädigungen im Silizium kommt, wird die im vorherigen Abschnitt beschriebene Testmatrix auf Silizium mittels Röntgentopographie untersucht. Die Bezeichnung Röntgentopographie oder auch Röntgenbeugungstopographie (engl. *X-ray diffraction topography*, XRT) ist der Sammelbegriff für eine ganze Reihe von abbildenden Verfahren die auf Bragg-Reflexion von Röntgenstrahlung beruhen. Die generierte Abbildung wird als Topographie bezeichnet, da die Streueigenschaften einer Probe ortskorreliert erfasst werden.

Abbildung 34 zeigt die röntgentopographische Abbildung der Testmatrix. Die Laserbeschriftung der einzelnen Felder und Linien ist deutlich und lesbar zu erkennen. Auch die Linien bestehend aus jeweils 50 Lasereinschüssen sind deutlich sichtbar für die niedrigeren Laserpulsfrequenzen.

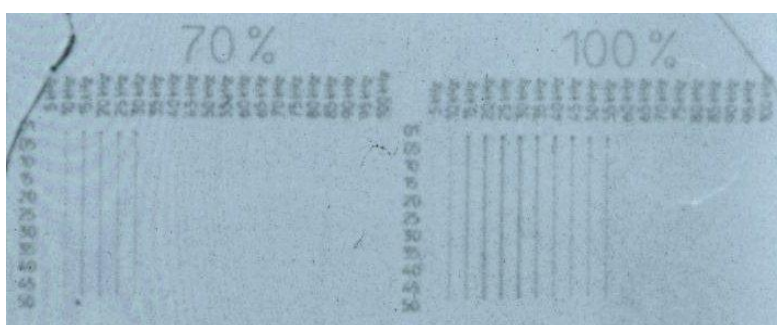


Abbildung 34: Röntgentopographische Abbildung der Testmatrix

Die größten Kontraständerungen und damit das Maximum der Schädigung bei 70 % Laserleistung liegt bei einer Laserpulsfrequenz von 15-20 kHz bzw. bei 100 % Laserleistung im Bereich von 25-30 kHz. Bei höheren Frequenzen tritt aufgrund der sehr viel geringeren Laserpulsenergien kein sichtbarer Abtrag mehr auf.

Die einzelnen Lasereinschüsse werden weiterhin mittels Transmissionselektronenmikroskopie (engl. *Transmission electron microscopy*, TEM) untersucht. Diese wird an TEM-Lamellen durchgeführt, die mittels eines fokussierten Ionenstrahls (FIB) präpariert werden. Die vorherigen Untersuchungen mit Röntgen-Topographie und Kristallätzen lassen auf eine Wärmeeinflusszone im einstelligen μm -Bereich schließen. Die Tiefe von etwa 10 μm , bis zu der eine TEM-Lamelle präpariert werden kann, ist somit ausreichend.

Nachfolgende Abbildung zeigt die TEM-Aufnahme mit 200 kV Beschleunigungsspannung aus dem Mittelpunkt des Lasereinschusses: Dabei ist auf der Siliziumoberfläche unter der Wolframabscheidung zunächst eine ca. 30 nm dicke Schicht aus amorphem Silizium zu erkennen. Diese ist allerdings ein Präparationsartefakt der Ionenstrahlinduzierten Wolframabscheidung und steht in keinem Zusammenhang mit dem Lasereinschuss.

Des Weiteren ist eine ca. 1,55 μm dicke Schicht einkristallines Siliziums zu erkennen mit einer deutlichen Grenzfläche zum darunterliegenden Silizium des Wafers. Die in der 1,55 μm dicken Schicht horizontal verlaufenden Schlieren, bzw. Helligkeitsvariationen vermitteln zunächst den Eindruck einer abnehmenden Dicke der TEM-Lamelle. Gegen einen Dickeneffekt der TEM-Lamelle spricht allerdings die deutlich erkennbare Grenzfläche. Außerdem wurde die TEM-Lamelle mit negativem Ergebnis auf eine Dickenvariation überprüft. Somit handelt es sich bei der 1,55 μm dicken Schicht um aufgeschmolzenes und wieder kristallin erstarrtes Silizium.

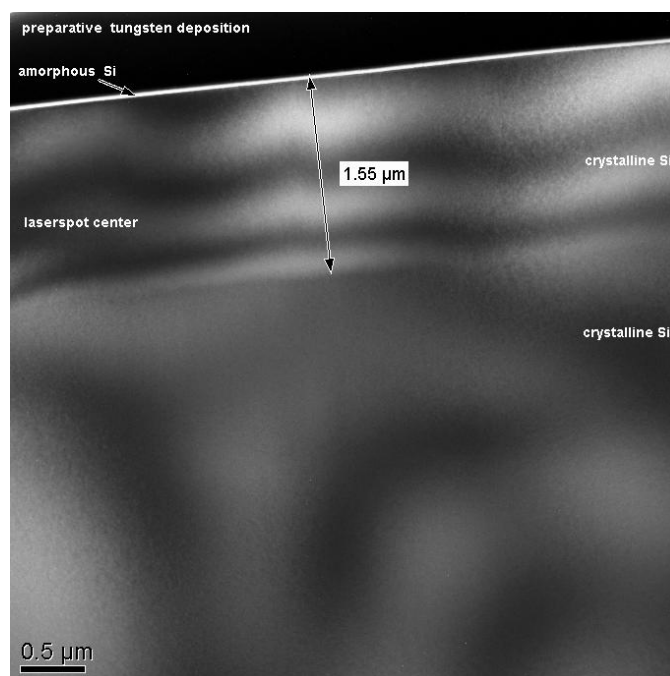


Abbildung 35: TEM-Aufnahme mit 200 kV Beschleunigungsspannung mittig unterhalb eines Lasereinschusses mit 100 % Laserleistung bei 20 kHz Pulsfrequenz in Silizium. Als Artefakt der Wolframabscheidung befindet sich unter dieser eine 30 nm dicke Schicht amorphen Siliziums. Darunter eine 1,55 μm dicke Schicht aus geschmolzenem und wieder kristallin erstarrtem Silizium.

Im vorangegangenen Abschnitt wurde mittels Simulation die Energieeinkopplung während des Laserabtrags von Silizium bestimmt. Bei einer Laserpulsenergie von $80 \mu\text{J}$ und einem Einkoppelgrad von 26 % wird demzufolge pro Lasereinschuss eine Energie von $20,8 \mu\text{J}$ ins Silizium eingekoppelt.

Somit sind alle Eingabegrößen für eine Bestimmung der Temperaturverteilung eines einzelnen Lasereinschusses bekannt. Abbildung 36 zeigt die REM-Aufnahme eines einzelnen Lasereinschusses mit den bei der Bestimmung des Einkoppelgrades verwendeten Laserparametern (100 % Laserleistung, 10 kHz Pulsfrequenz).

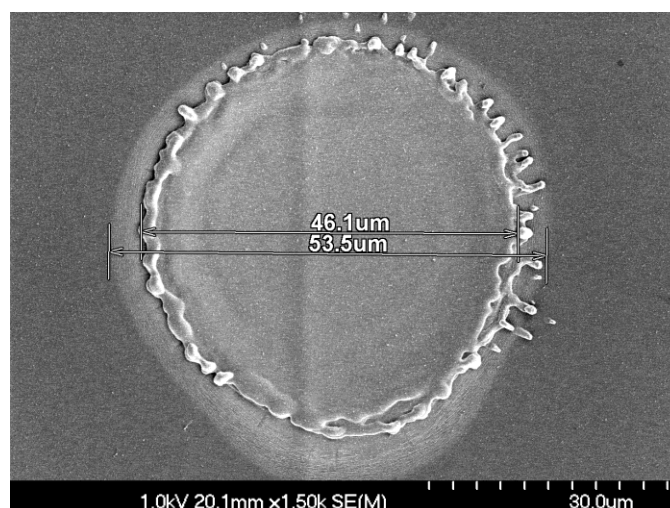


Abbildung 36: REM-Aufnahme eines einzelnen Lasereinschusses auf Silizium mit 100 % Laserleistung und 10 kHz Pulsfrequenz.

Das Simulationsmodell besteht aus einer $75 \mu\text{m}$ dicken Siliziumschicht und einer darunterliegenden $25 \mu\text{m}$ -Klebefolie (DA-Folie) mit Abmessungen von $600 \mu\text{m} \times 600 \mu\text{m}$. Der Bereich des geschmolzenen Siliziums hat einen Durchmesser von $46 \mu\text{m}$ und eine Dicke von $1,6 \mu\text{m}$. Bei diesen Abmessungen hat das geschmolzene Silizium ein Volumen von $2659 \mu\text{m}^3$ bzw. eine Masse von $6,2 \cdot 10^{-9} \text{ g}$. Aufgrund der spezifischen Schmelzenthalpie von Silizium von 1411 J/g entspricht diese Menge geschmolzenen Siliziums einer Schmelzenergie von $8,74 \mu\text{J}$. Somit verbleiben von der eingekoppelten Energiemenge von $20,8 \mu\text{J}$ lediglich $12,06 \mu\text{J}$, die zur Ausgangtemperatur der thermischen Simulation beitragen.

Mit dem Wert der spezifischen Wärmekapazität von geschmolzenem Silizium von $980 \text{ J/(kg}\cdot\text{K)}$ ergibt sich eine Temperaturerhöhung von $\Delta T = 1986 \text{ K}$.

Abbildung 37 zeigt das Resultat der thermischen Simulation nach einer Simulationsdauer von 1 ns . Aufgrund der sehr begrenzten thermischen Diffusionslänge von unter $1 \mu\text{m}$ für diese Zeitspanne entspricht die Temperaturverteilung noch im Wesentlichen den Anfangsbedingungen der Simulation. Weiterhin ist die Elementgröße von $1 \mu\text{m}$ im Bereich des geschmolzenen Siliziums sowie in den angrenzenden $10 \mu\text{m}$ zu erkennen.

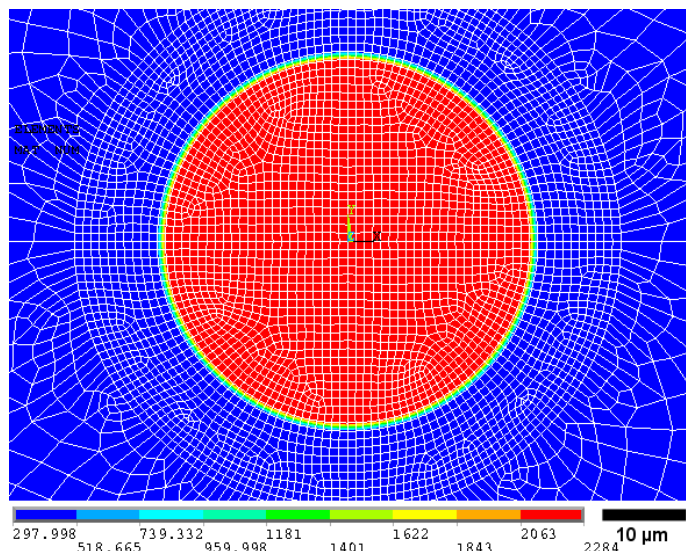


Abbildung 37: Darstellung der Temperaturverteilung nach 1 ns Simulationsdauer sowie der Elementgröße von 1 µm im Bereich des geschmolzenen Siliziums und den umgebenden 10 µm.

Aufgrund der Laserpulsfrequenz von 10 kHz beträgt die Zeitspanne zwischen den einzelnen Lasereinschüssen 100 µs. Abbildung 38 zeigt die Temperaturverteilung zu diesem Zeitpunkt. Die maximale Temperaturerhöhung beträgt am Ort des Lasereinschusses lediglich noch 1,38 K. Dies zeigt anschaulich, dass der gewählte Ansatz, nämlich die Untersuchung einzelner Lasereinschüsse zur Bestimmung der Wärmeeinflusszone, zulässig ist.

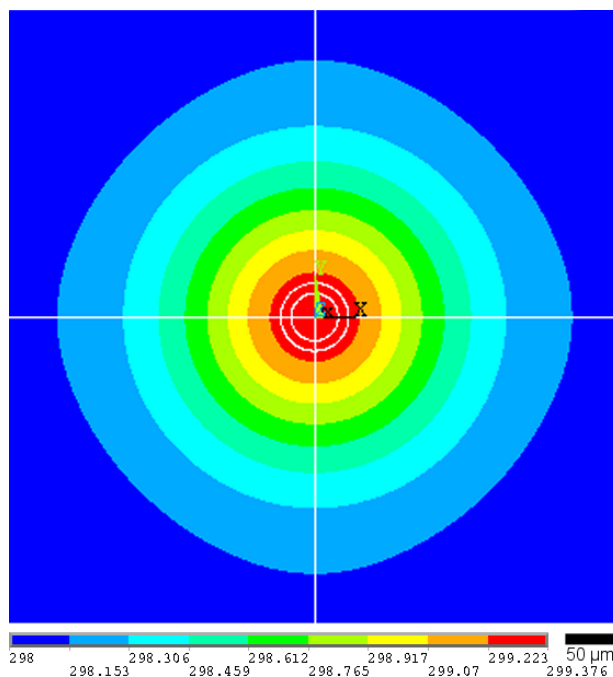


Abbildung 38: Temperaturverteilung zum Zeitpunkt des nächsten Lasereinschusses nach 100 µs Simulationsdauer.

Der zeitliche Temperaturverlauf in unterschiedlichen Abständen zum Rand des Lasereinschusses ist in Abbildung 39 aufgetragen. In einer Entfernung von $2\ \mu\text{m}$ zum Lasereinschuss wird eine Maximaltemperatur von knapp $200\ \text{°C}$ erreicht. Im Abstand von $4\ \mu\text{m}$ werden $120\ \text{°C}$ ermittelt. Bei Abständen von mehr als $6\ \mu\text{m}$ bleiben die erreichten Maximaltemperaturen unter $100\ \text{°C}$.

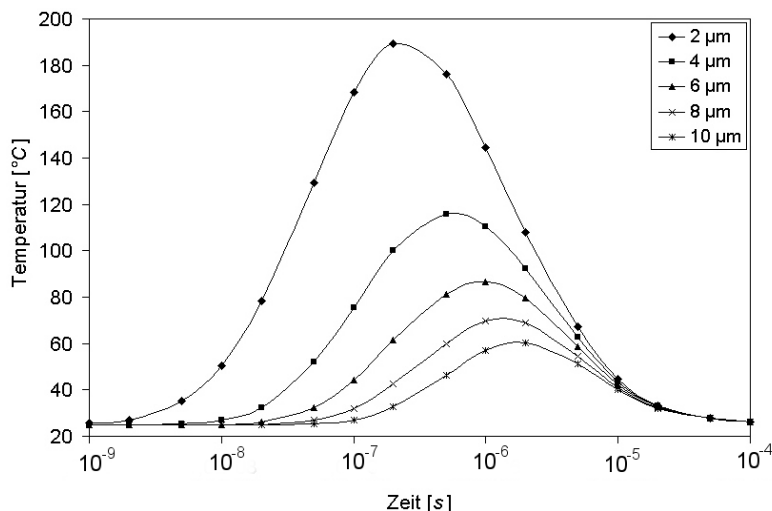


Abbildung 39: Zeitlicher Temperaturverlauf im Silizium in Abständen von $2\ \mu\text{m}$, $4\ \mu\text{m}$, $6\ \mu\text{m}$, $8\ \mu\text{m}$ sowie $10\ \mu\text{m}$ zum Lasereinschuss.

1.5. Innovative Analytik für die Untersuchung von Zuverlässigkeit

Probenpräparation zur Detektion von Intermetallischen Phasen mittels EBSD (AP 4.2)

Der Projektpartner FhG IWM Halle entwickelt die Detektion von Intermetallischen Phasen (engl. Intermetallic Compound, IMC) mittels EBSD. Hierzu wurden von Infineon Proben bereitgestellt, die in verschiedenen Serien präpariert und charakterisiert wurden.

Zunächst wurden sehr einfache, nur aus einer IMC bestehende, grob strukturierte Proben hergestellt und mittel Ionenpolitur („Bevel Etching“) präpariert. In weiteren Tranchen wurden Proben mit komplizierten IMC-Systemen präpariert. Diese wurden ebenfalls mittels „Bevel Etching“ poliert und von Infineon charakterisiert. Abb. 40 zeigt beispielsweise eine Probe mit enthaltener Au_5Sn -Intermetallischer Phase sowie einer Gold-Nickel-Paladium-Zinn-Phase.

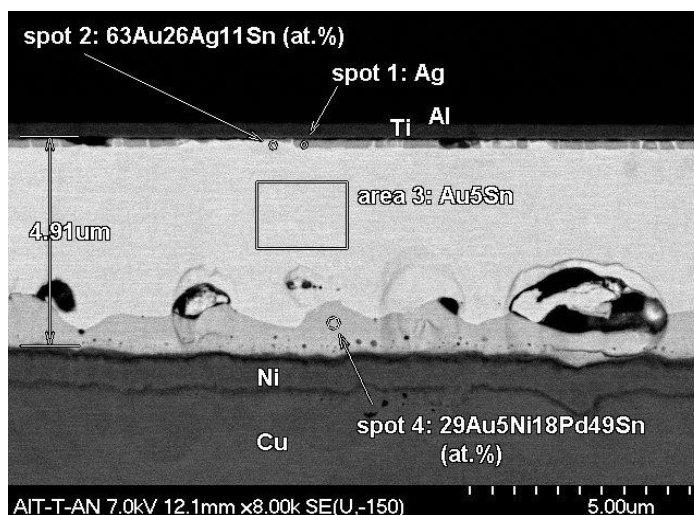


Abb. 40: Von Infineon präparierte Probe mit verschiedenen intermetallischen Phasen.

Probenpräparation und Evaluation der optischen Methoden: Speckespektrometrie und der TDM Methode (AP 4.4/5.2):

Um Dantec Dynamics und Insidix die Weiterentwicklung und Optimierung ihrer optischer Messverfahren zu ermöglichen, wurden die nach heutigem Stand der Technik kleinstmöglichen Halbleitergehäuse mit einem integrierten kompletten Mikrosystem (BAW TSLP 4-5, siehe Abbildung 41) zur Verfügung gestellt. Trotz der geringen Gehäusegröße von 2mm x 1,3 mm ist eine Messung der Gehäuseverformung außerordentlich wichtig, da die elektrischen Eigenschaften des Mikrosystem stark auf Verwölbungen der enthaltenen Kavitäten reagieren. Aus diesem Grund eignen sich optische Messverfahren am besten für diese Gehäusetypen. Allerdings war eine Weiterentwicklung der Optiken und Auflösungen nötig, um diese kleinen Gehäuseabmessungen erfassen zu können.

TSLP 4-5: 2 mm x 1.3 mm

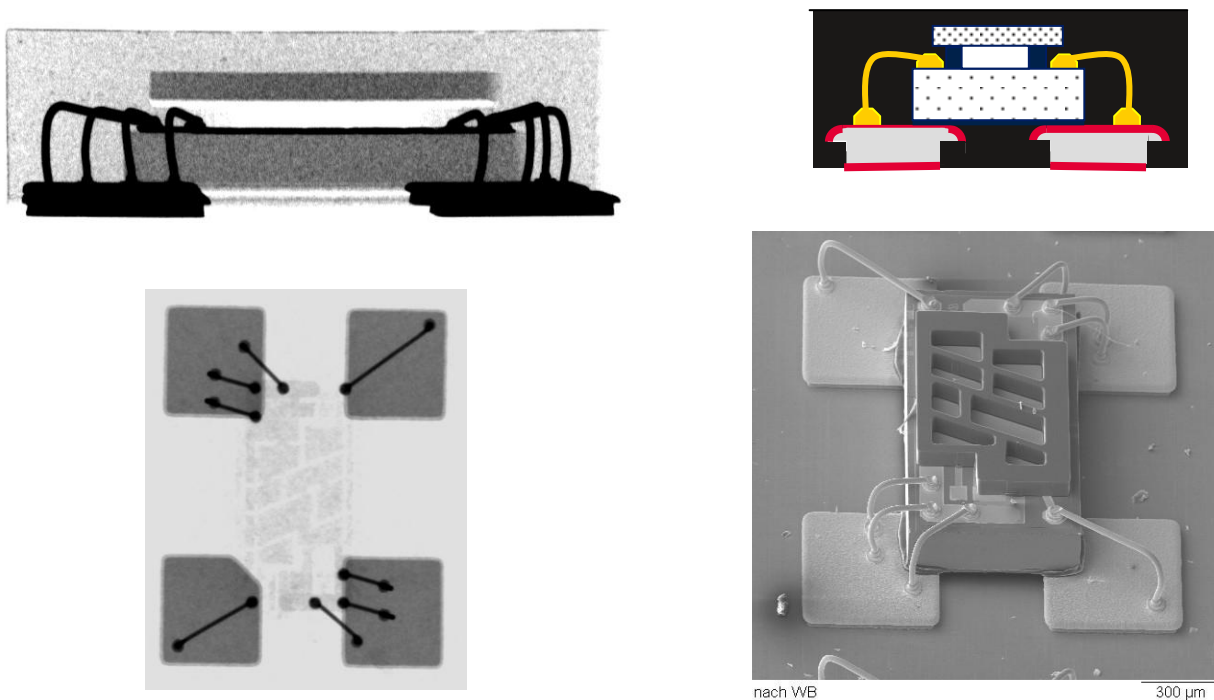


Abbildung 41: Aufbau eines BAW Filters in einem TSLP Gehäuse, wie sie für die Untersuchungen vorbereitet und zur Verfügung gestellt wurden.

Speziell für Dantec und Insidix wurden des weiteren Wafer Level Package Aufbauten hergestellt. Die Streifen mit insgesamt 18 eingemoldeten Siliziumchips haben eine Größe von 46 mm x 10 mm um die Heizkammer und das Bildfeld der optischen Messverfahren voll ausnutzen zu können (siehe Abb. 44). Insbesondere sind die Materialparameter und deren Schwankungen über dem Bauteil von großem Interesse und Bedeutung für Infineon. Eine Vermessung der Wafer Level Packages (WLP) und die Möglichkeit Materialparameter ableiten zu können, wäre ein großer Vorteil der optischen Messverfahren. Die Genauigkeiten und Grenzen der verschiedenen Verfahren sollten anhand dieser Studien erfasst werden. Eine Bewertung der Ergebnisse ist unten in Kapitel 1.6 (S. 49) zu finden.

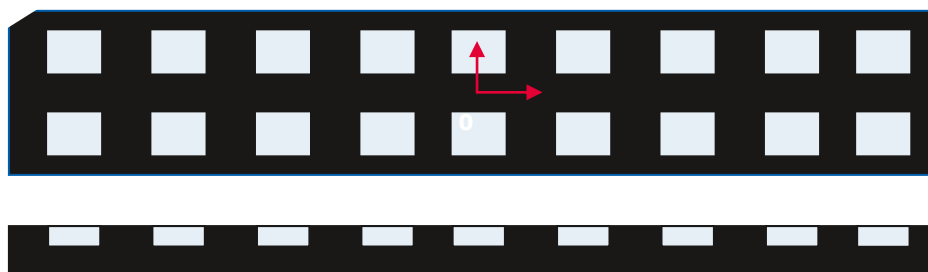


Abbildung 42: Streifen mit insgesamt 18 eingemoldeten Siliziumchips, die eine Größe von 46 mm x 10 mm haben, um die Heizkammer und das Bildfeld der optischen Messverfahren voll ausnutzen zu können, wurden den Partnern Dantes Dynamics und Insidix zur Verfügung gestellt.

Es wurden identische Proben für Speckle-Interferometrie (in Zusammenarbeit mit Dantec Dynamics) und für die Methode der Topologie & Deformation Measurements TDM (in Zusammenarbeit mit Insidix) zum Vergleich der jeweiligen Messmethoden erarbeitet. Abbildung 43 zeigt Warpage (Verbiegungs) Messungen mit der Speckle-Interferometrie. Abbildung 44 zeigt Ergebnisse mit der TDM Methode.

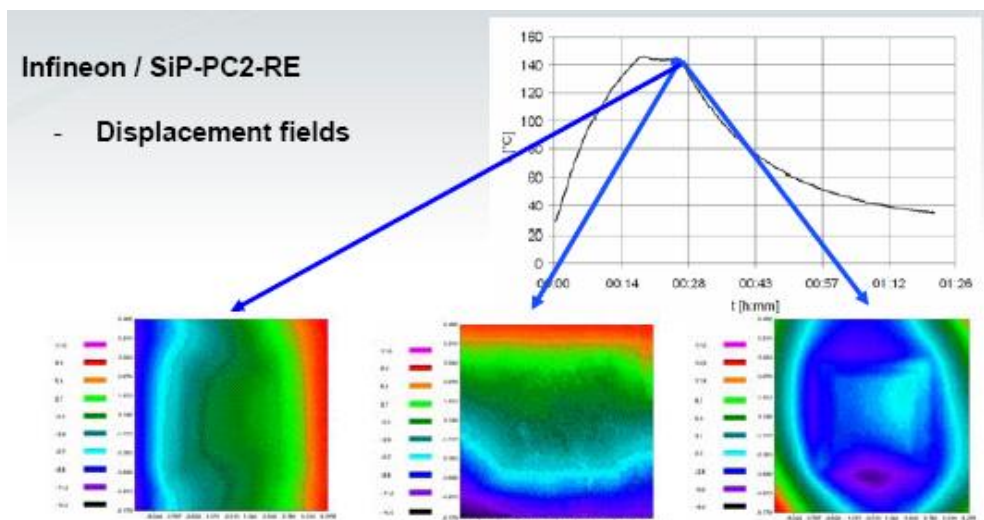


Abbildung 43: Warpage-Messungen mit Speckle-Interferometrie (in Zusammenarbeit mit Dantec Dynamics)

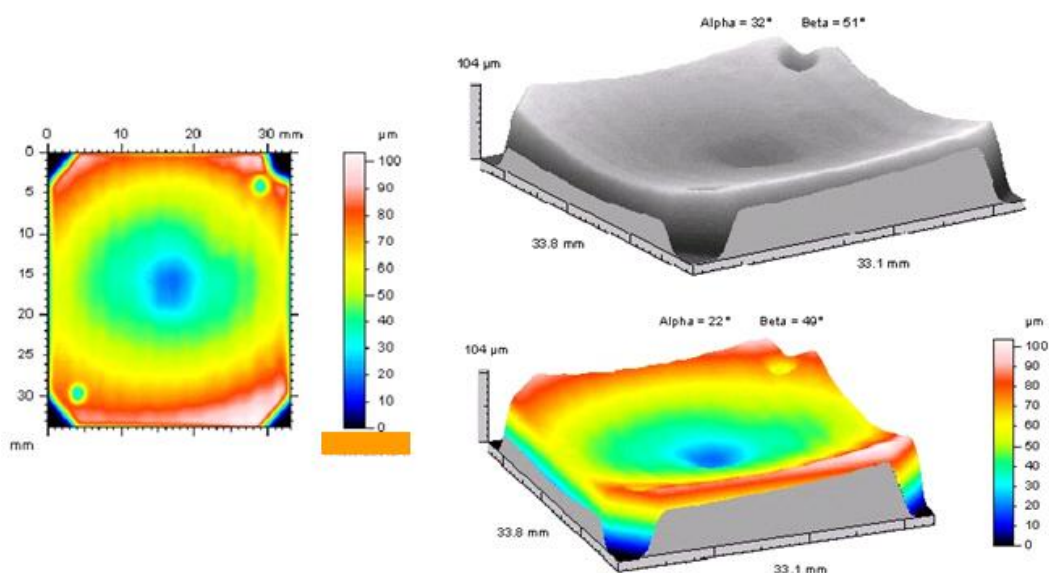


Abbildung 44: Warpage-Messungen mit der Methode TDM Topologie and Deformation Measurement (In Zusammenarbeit mit Projektpartner Insidix)

1.6 Erfassung lokaler Werkstoffeigenschaften (AP 5)

Untersuchungen von mechanischen Eigenschaften von Drahtbondkontakten (Aufgabe 5.1):

Die angewendeten Methoden (Nanoindentation, EBSD) ermöglichten v.a. ein tieferes Verständnis für das Materialverhalten im Rahmen der Prozessentwicklung bei SiP. Optimierungen hinsichtlich Material und Prozess werden so effizient unterstützt. Eine Überführung der gewonnenen Daten in ein Simulationsmodell zur Prozess-Simulation wurde noch nicht erreicht, was aber auch aufgrund der großen Herausforderungen dafür für das FULL CONTROL Konsortium nicht zu erwarten war. Es sind weitere umfangreiche Korrelationsstudien notwendig. Kombinierte experimentell-simulatorische Ansätze (z.B. Nanoindentation mit Inverssimulation) scheinen hier die vielversprechendsten Wege.

Einsatz von optischen Feldmessverfahren für die lokale Bestimmung von Wärmeausdehnungskoeffizienten und der Grenzflächenfestigkeit (Aufgabe 5.2):

Infineon bewertete hier auf Basis der erarbeiteten Testaufbauten die lokale Bestimmung von Wärmeausdehnungskoeffizienten mit optischen Methoden.

Die Methoden zur temperaturabhängigen Oberflächen-Verformungsmessung (Digitale Stereobildkorrelation) in x,y,z-Richtung erwiesen sich v.a. als hilfreich, um Einflüsse der Materialwahl (Moldingcompound) und Prozessführung (z.B. Curing Profil) zu erforschen und hinsichtlich Bauteilverbiegung zu optimieren. Fraglich blieb nach wie vor, ob eine direkte Korrelation zwischen Bauteilverformung (z-Warpage und laterale Bauteilausdehnung im Verhältnis zur Leiterplatte) und Board-Zuverlässigkeit gegeben ist. Die Vielzahl weiterer Einflussfaktoren erschwerte hier den Einsatz der Methodiken zum präventiven Zuverlässigkeitsdesign (Design for Reliability). Ein kombiniertes simulatorisches/meßtechnisches Vorgehen scheint vielversprechend und würde weitere Projektarbeit benötigen.

Bzgl. Nutzen der Methoden zur Bestimmung lokaler thermischer Ausdehnungskoeffizienten konnten die durchgeführten Untersuchungen zeigen, dass ein großes Potential v.a. in der Prozessentwicklung gesehen wird (z.B. Moldflow / lokale Mengenschwankungen von Füllstoffpartikeln in Moldingcompound). Offen blieb jedoch die exakte Bestimmung der Meßgenauigkeit (räumliche Auflösung bei CTE-Bestimmung), da es nicht gelang innerhalb des Projektverlaufs geeignete Referenzproben herzustellen. Unerwartete Schwierigkeiten hinsichtlich geeignetem Design und Herstellung führten zu entsprechenden Verzögerungen. Geeignete Proben sind nun verfügbar, konnten jedoch nicht vor Projektende zur Anwendung kommen.

2. Zusammenfassung und Bewertung

In Tabelle 3 sind abschließend nochmals die in FULL CONTROL für System-in-Package (SiP) untersuchten und erforschten Methoden zusammengestellt, die für Infineon besonders berücksichtigt wurden. Die Methoden werden bewertet und zukünftig weiter nötige und angestrebte Verbesserungen angezeigt (AP6 und AP7).

Tabelle 3: Bewertung der in FULL CONTROL untersuchten Methoden für Fehleranalyse in SiP

Methode	Bewertung in Bezug auf Nutzen für System in Package	Zukünftig angestrebte Verbesserungen
Time Domain Reflektometrie (TDR) (IFX)	Grundlegender Nutzen an SiP nachgewiesen. Anwendung jedoch limitiert auf spezifische Fälle trotz deutlicher Verbesserung der räumlichen Auflösung.	
SQUID Scanning Magnetic Microscopy (IFX, CNES)	Sehr großer Nutzen bei SiP. V.a. in Kombination mit Dekapsulierverfahren. Momentan limitiert auf Gleichströme und damit auf Kurzschlüsse/Leckströme. 3D Fähigkeit noch sehr eingeschränkt. Auch wenn im Projekt erste Schritte zur Ausweitung gezeigt wurden.	Erweiterung auf Wechselströme (Hochfrequenz) und damit Anwendung auch auf Leiterbahnunterbrechungen („opens“). Vorantreiben der Entwicklungen hinsichtlich 3D (z.B. Probenkipfung/Drehung, mehrere SQUID Sensoren für x,y,z, neue Algorithmen. Ziel: „Scanning Magnetic Tomography“
Lock-in Thermographie mit Solid Immersion Lens (LIT SIL) (IFX, Thermosensorik)	Sehr großer Nutzen für SiP. V.a. zur schnellen Vorlokalisierung von defekten mit thermischer Signatur. Begrenzte 3D Anwendung mit Auswertung des Phasenshifts (IWMH) gezeigt.	3D Auswertung mit Phasenshift erfordert optimierte Simulationstools
Kombinierte Laser-FIB Präparation (Nanosec.UV Laser und Hochstrom Ionenquelle) (Zeiss, Orsay Physics)	Für ausgesuchte Fälle konnte eine um den Faktor 1000 schnellere Präparation erzielt werden. Großes und breites Anwendungspotential für unterschiedliche Industrien (Mikroelektronik, , Pharma , Automotive, Avionik Biotechnologie etc.)	Gerätekommerzialisierung. Einzelne Verbesserung bei der Bedienbarkeit wie z.B. Integration von Navigationshilfen anhand von Röntgen u. Ultraschallbildern

<p>EBSD (IWMH)</p>	<p>Im Projekt wurde eine effiziente Anwendung bei der Charakterisierung metallurgischer Gefüge gezeigt. Die Methode ist so nicht nur auf Forschungsaktivitäten beschränkt sondern auch für den industriellen R&D Alltag effizient einsetzbar (z.B. Prozessentwicklung)</p>	
<p>Nanoindentation (IWMH)</p>	<p>Nutzen konnte für die Prozessentwicklung gezeigt werden (z.B. Kupferdraht Bonden). Eine direkte Übertragung der gewonnenen Materialdaten in FEM-Simulationsmodelle war nicht möglich.</p>	<p>Vermeehrt kombinierte experimentell- simulatorische Ansätze. Korrelation zwischen Nanoindentation Ergebnissen mit simulatorisch verwertbaren Eingangsgrößen (E-Modul)</p>
<p>Digitale Bildkorrelation (DANTEC, TDM Insidix)</p>	<p>Nutzen für die Prozessentwicklung für SiP konnte gezeigt werden.</p>	<p>Bestimmung der Meßgenauigkeiten</p>

III. Veröffentlichungen

- [1] S. Martens, Micro-abrasive blasting as preparation approach for 3D-integrated SPI devices, Vortrag beim 1. Workshop FULL CONTROL - Failure Detection and Analysis for Complex Micro- and Nano-System applications, 18. September 2008, FhG IWM Halle.
- [2] B. Krüger, Advances in fault isolation of complex SiP using net work analyser (TDR), Vortrag beim 1. Workshop FULL CONTROL - Failure Detection and Analysis for Complex Micro- and Nano-System applications, 18. September 2008, FhG IWM Halle.
- [3] W. Mack, Failure Analysis Requirements in future "system-in-Package" components, Vortrag beim 1. Workshop FULL CONTROL - Failure Detection and Analysis for Complex Micro- and Nano-System applications, 18. September 2008, FhG IWM Halle.
- [4] S. Martens, B. Krüger, W. Mack, F. Völklein, J. Wilde, Low-cost preparation method for exposing IC surfaces in stacked die packages by micro-abrasive blasting, *Microelectronics Reliability*, 48, 1513–1516 (2008).
- [5] S. Martens, H. Theuss, W. Mack, F. Völklein, J. Wilde, Exposing dies for failure analysis in stacked die packages by Micro-Abrasive Blasting, *Book of Extended Abstracts of 5th International Conference on Device Packaging (IMAPS Device Packaging 2009)*, 5, 346-349 (2009).
- [6] S. Martens, W. Mack, F. Courtade, P. Perdu, J. Wilde, F. Völklein, Laser-based target preparation in 3D integrated electronic packages, *Journal of Electronic Packaging*, 131, 031006 (2009).
- [7] C. Schmidt, F. Naumann, F. Altmann, S. Martens, Thermal simulation of defect localisation using Lock-In Thermography in complex and fully packaged devices, *Proceedings of the 10th IEEE International Conference on Thermal, Mechanical and Multiphysics Simulation and Experiments in Micro-Electronics and Micro-Systems (EuroSimE)*, 10, 736-742 (2009).
- [8] S. Martens, Laser-based failure preparation in 3D integrated SiP devices, Vortrag beim 2. Workshop FULL CONTROL - Failure Detection and Analysis for Complex Micro- and Nano-System applications, 25. November 2009, Infineon München.
- [9] M. Petzold and W. Mack, Failure analysis for future system integration - The FULL CONTROL project, 2. Workshop FULL CONTROL - Failure Detection and Analysis for Complex Micro- and Nano-System applications, 25. November 2009, Infineon München.
- [10] M. Hechtl, H. Pohl, S. Schoemann, F. Schumann Magnetic Microscopy – Detection of shorts and opens in complex System-in-Packages, 2. Workshop FULL CONTROL - Failure Detection and Analysis for Complex Micro- and Nano-System applications, 25. November 2009, Infineon München.

[11] H. Pohl, Failure localisation using time domain reflectometry (TDR), 2. Workshop FULL CONTROL - Failure Detection and Analysis for Complex Micro- and Nano-System applications, 25. November 2009, Infineon München.

[12] S. Martens, M. Fink, W. Mack, F. Völklein, J. Wilde, Simulation-based analysis of the heat-affected zone during target preparation by pulsed-laser ablation through stacked silicon dies in 3D integrated System-in-Packages, *Proceedings of the 11th IEEE International Conference on Thermal, Mechanical and Multiphysics Simulation and Experiments in Micro-Electronics and Micro-Systems (EuroSimE)*, 11, 82-90 (2010).

[13] M. Petzold, F. Altmann, M. Krause, R. Salzer, C. Schmidt, S. Martens, W. Mack, H. Dömer, A. Nowodzinski, Micro structure analysis for system in package components - Novel tools for fault isolation, target preparation and high resolution material diagnostics, *Proceedings of the 60th IEEE Electronic Components and Technology Conference (ECTC)*, 60, 1296-1302 (2010).

[14] S. Martens, W. Mack, F. Völklein, J. Wilde, Analysis of the heat-affected zone during laser-based failure preparation through stacked silicon dies in 3D integrated electronic packages, eingereicht (2010).

Weiterhin wurden die folgenden Patente eingereicht:

- System zur Bearbeitung einer Probe mit einem Laserstrahl und einem Elektronenstrahl oder einem Ionenstrahl, Anmeldung am 01.09.2008, Offenlegung am 11.03.2010, Aktenzeichen DE 10 2008 045 336.
- Processing System, Anmeldung am 18.08.2009, Offenlegung am 04.03.2010, Aktenzeichen US 2010 051828.

Abkürzungsverzeichnis

AFAM	=	Atomic Force Acoustic Microscopy
AP	=	Arbeitspaket
BGA	=	Ball Grid Array (Gehäuse)
CAGR	=	Calculated Average Growth Rate
CTE	=	Coefficient of Thermal Expansion
EBSD	=	Electron Backscattering Diffraction
EM-Feld	=	Elektromagnetisches Feld
ETP	=	Electronic Trends Publication
FC	=	FlipChip
FIB	=	Focused Ion Beam (steht für fokussierte Ionenstrahltechnik)
GMR	=	Giant Magnetic Resistive
HAZ	=	Heat Affected Zone (temperaturgeschädigte Zone)
IC	=	Integrated Circuit (Integrierter Schaltkreis)
IMC	=	Intermetallic Compound
ITRS	=	International Technology Roadmap for Semiconductors (siehe: www.itrs.net)
JISSO	=	weltweites Konsortium getrieben vor allem aus Japan (japanisches Kunstwort für „Total System Solution“)
KW	=	Kalenderwoche
LIT	=	Lock-In Thermography
MC	=	Mold Compound
MEMS	=	Micro-Electro-Mechanical Systems
MS	=	Meilenstein („milestone“)
P-TFBGA	=	Plastic-Thin-Finepitch-Ball-Grid-Array (standardisierter Name gemäß JEDEC)
QFN	=	Quad Flat No Lead
SEM	=	Scanning Electron Microscopy (= REM)
SiP	=	System-in-Package
SIL	=	Solid Immersion Lens
SMM	=	Scanning Magnetic Microscopy
SoC	=	System-on-Chip
SQUID	=	Superconducting Quantum Interference Device
TDR	=	Time Domain Reflectometry
TDM	=	Topography and Deformation Measurements
TEM	=	Transmissionselektronenmikroskopie
TSLP	=	Thin Small Leadless Package
TSV	=	Through Silicon Via
WB	=	Wire Bonding
WLP	=	Wafer Level Package
XRT	=	X-Ray Topography (Röntgentopographie)