

Abschlussbericht des Fraunhofer IZM

Bereich: Nanolux (FKZ: 13N8745)

Projekt: LED-Module mit primärer Optik für die Anwendung im Automobilbau (MOPO)

Teilprojekt: LED Montage und Konverterapplikation

Laufzeit: 01.10.2005 – 31.03.2009

Inhalt

AP 1: LED-Montage:	2
- Aufbauanalyse kommerzieller Produkte: OSTAR 2005er Design	2
- Aufbauanalyse kommerzieller Produkte: OSTAR 2006er Design	3
- Aufbauanalyse kommerzieller Produkte: XLamp (Cree)	4
- Aufbauanalyse LED Chips: Cree und SemiLEDs.....	5
- Analyse der Prozesskompatibilität: Cree und SemiLEDs.....	8
- Zielpräparation von funktionstüchtigen Cree - und SemiLEDs.....	11
- Analyse der Prozesskompatibilität: Cu Mo Composite Board	11
- Auswahl von AIN Board Herstellern.	12
- Ausfallanalyse SemiLEDs und weitergehende Aufbauanalyse	12
- Ausfallanalyse aufgebauter Module mit Cree LEDs.....	14
- Qualifikation gelieferter AIN-Boards	17
- Aufbauversuche auf IMS-Boards	23
- Entwicklung einer verdrehungsfreien Montage	25
AP 2: Konverterapplikation:.....	27
- Adaption weiterer Polymere als Konvertermatrix: Polyurethan	27
- Thermoanalyse von Konverterschichten in Anhängigkeit der Lichtintensität .	27
AP 4: Herstellung und Test von Funktionsmustern:	29
- Design eines Testsubmounts für High- / Lowbeam.....	29
- Aufbau von LEDs für optische und elektrische Tests und Auslagerungs- und Zykeluntersuchungen.....	30

AP 1: LED-Montage:

- Aufbauanalyse kommerzieller Produkte: OSTAR 2005er Design

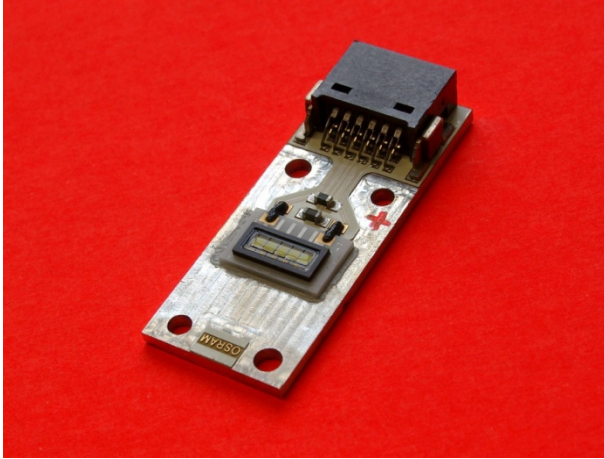


Abb. 1: OSTAR 2006er Design Aufsicht

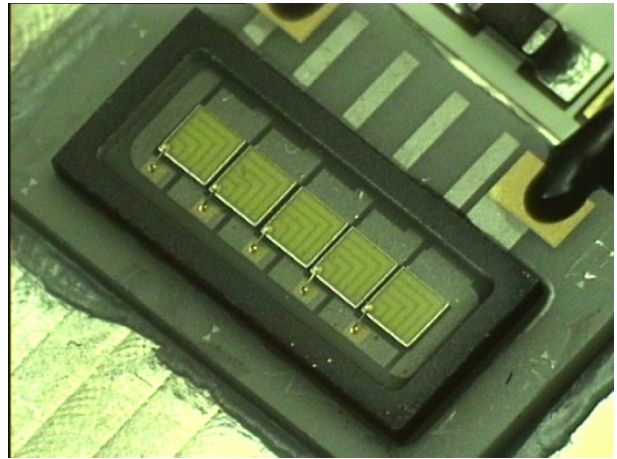


Abb. 2: Nahansicht auf die Chips

Um aus den Fehlern kommerzieller Produkte zu lernen, wurde die OSTAR Design 2005 analysiert. Folgende Punkte wurden als verbesserungswürdig befunden:

- Die Lotschicht unter dem LED-Chip wies einen Anteil bis zu 50 % Poren auf.
- Die Lotbarriere unterhalb des LED Chip wurde beim Lötten durchbrochen. Dadurch wurde Gold in einem Umfang in das SnPb-Lot gelöst, dass sich zinnreiche eutektische AuSn Bereiche gebildet haben, die aufgrund ihres spröden Verhaltens ein Zuverlässigkeitsrisiko darstellen.
- Der Submount wurde mit einer zu dicken Schicht von Wärmeleitkleber, der zudem einen zu geringen Anteil an Füllpartikel aufwies, auf dem Metallträger montiert.

- Aufbauanalyse kommerzieller Produkte: OSTAR 2006er Design

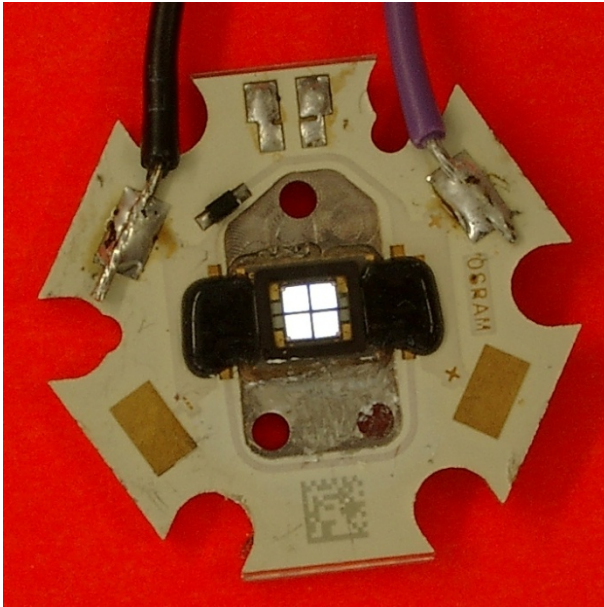


Abb. 3: OSTAR 2006er Design Aufsicht

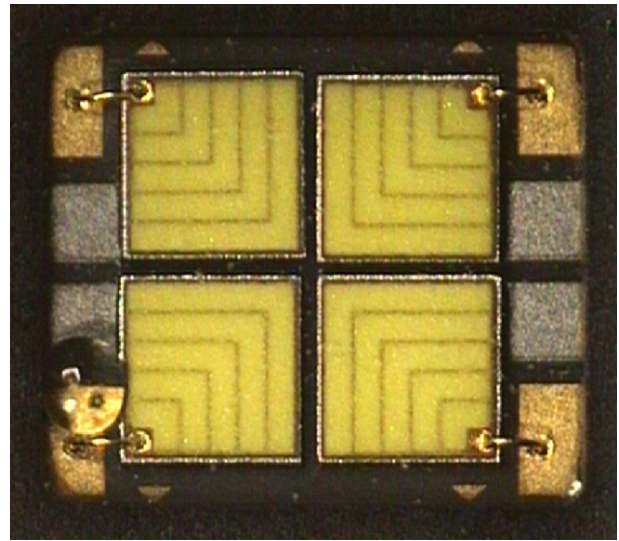


Abb. 4: Nahansicht auf die Chips

Ausgehend von der Aufbauanalyse des 2005er Designs wurde nun das neue Design aus dem Jahre 2006 analysiert:

- Die Lotschicht unmittelbar unter dem LED-Chip weist nach wie vor einen Anteil von bis zu 50 % an Poren auf.
- Die Lotbarriere unterhalb des LED Chip ist wieder durchbrochen, jedoch in einem geringeren Umfang als im Vorjahr. Als Lot wurde SnAg anstelle von SnPb verwendet. Die durch die durchbrochene Barriere gelöste Menge Gold ist zwar sichtbar, hat aber bezüglich der Sprödigkeit des Lotes keinen kritischen Umfang.
- Der Submount ist nun mit einem metallisch gefüllten Wärmeleitkleber anstelle des gering gefüllten Korundklebers auf das freigestellte IMS geklebt worden. Hierbei wurde die Klebeschicht zusätzlich von ca. 50 μm auf knapp 20 μm reduziert, was die Entwärmung weiter verbessert.

- Aufbauanalyse kommerzieller Produkte: XLamp (Cree)

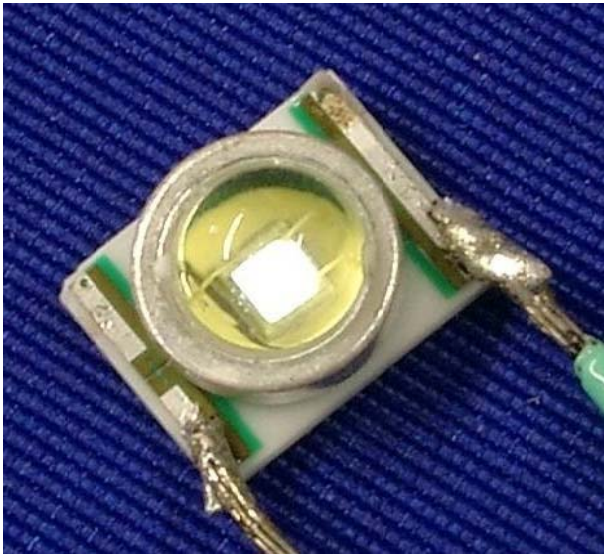


Abb. 5: X-XLamp (Cree)

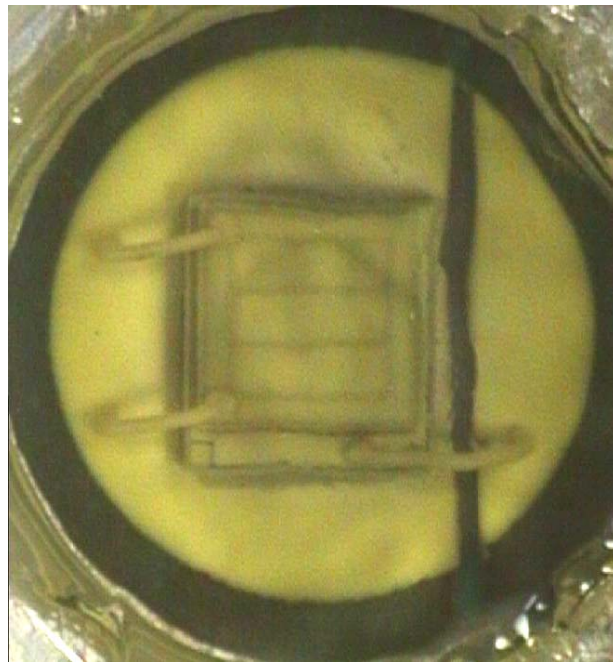


Abb. 6: Nahansicht auf den Chip

- Bei dem Chip handelt es sich um den typischen Cree EZ1000 Chip.
- Der Silizium basierende LED Chip ist AuSn Lot auf einen unwesentlich größeren Si Carrier gelötet, der seinerseits mit AuSn auf ein DCB-Board gelötet wurde.
- Das obere Lotinterface mit ca. 4 μm Dicke ist vollflächig von kleinen Poren durchzogen. Das untere Lotinterface mit ca. 15 μm Lot weist einige größere Poren auf, die ca. 10 % der Gesamtfläche ausmachen.
- Der Konverter wird nach dem Die- und Wirebonden mit einem Pulverbeschichtungsverfahren aufgebracht.
- Der umlaufende Reflektor besteht auf versilbertem Kupfer.

- Aufbauanalyse LED Chips: Cree und SemiLEDs

Mit dem Wissen aus vorhergehenden Projekten und den von den Firmen zur Verfügung gestellten Datenblättern wurden die LEDs von Apollo, Toyoda Gosei, Cree und SemiLEDs als realistische Kandidaten für das Projekt ausgewählt. Um die Bauteile hinsichtlich konzeptionellen und fertigungstechnischen Qualität beurteilen zu können, wurden Aufbauanalysen angefertigt.

Die SemiLEDs LED mit 40 mil Kantenlänge weist den Vorteil auf, dass ihr Carrier mit Cu endet und so für die Montage auf Metallkernplatinen ohne Anpassung des Wärmeausdehnungskoeffizienten (CTE) geeignet ist. Da es sich noch um ein sehr junges Produkt handelt, wurden während des Projektes verschiedene Modifikationen durchgeführt, ohne der LED eine neue Bezeichnung zu geben. Neben offensichtlichen Änderungen, wie z.B. in der Stromverteilungsstruktur (Abb. 7 und Abb. 8), wurde auch Verbesserungen hinsichtlich der inneren Kompensation des thermomechanischen Stresses und der Belotbarkeit der Diebondfläche vorgenommen. Die Anfänglich noch in Betracht gezogene Cree LED XB900 (Abb. 9) wurde relativ schnell von Cree durch die EZBright ersetzt (Abb. 10), die als oberflächenemittierende LED eine erheblich höhere Effizienz hat und höhere Stromdichten ermöglicht.

Die Apollo LED (Abb. 11) ist relativ früh wegen der Lötprozessinkompatibilität und relativ schlechten Effizienzwerte ausgeschieden. Die LED von Toyoda Gosei hätte als Flip Chip LED (Abb. 12) ein ganz anderes Aufbaukonzept benötigt und hätte damit zu doppeltem Aufwand oder einer unflexiblen Strategie geführt. Zusätzlich war fragwürdig, wie lange dieses Produkt zur Verfügung steht.

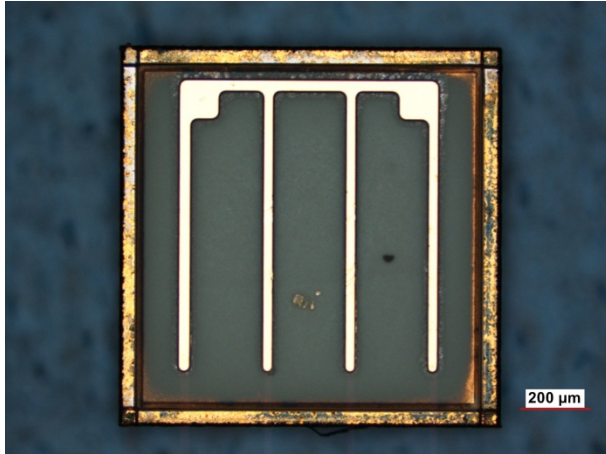


Abb. 7: SemiLEDs Design Ende 2005



Abb. 8: SemiLEDs Design Anfang 2006

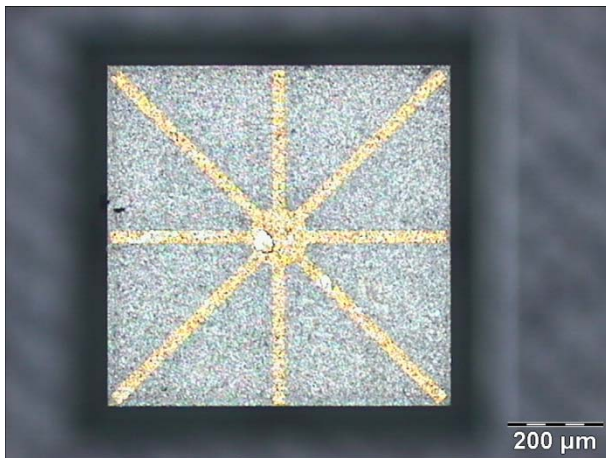


Abb. 9: Cree XB900

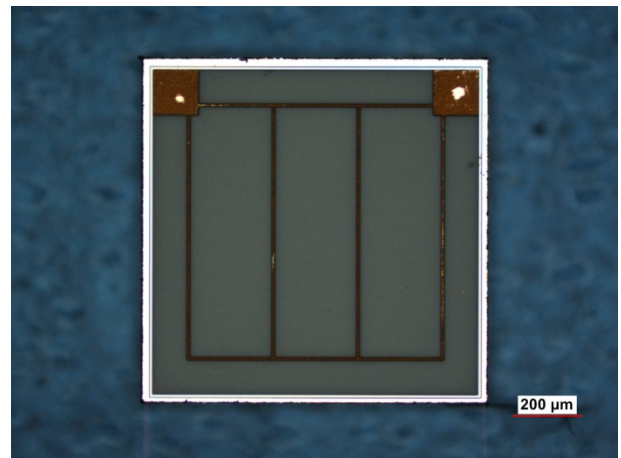


Abb. 10: Cree EZ1000 (Aufsicht entspricht EZBright).

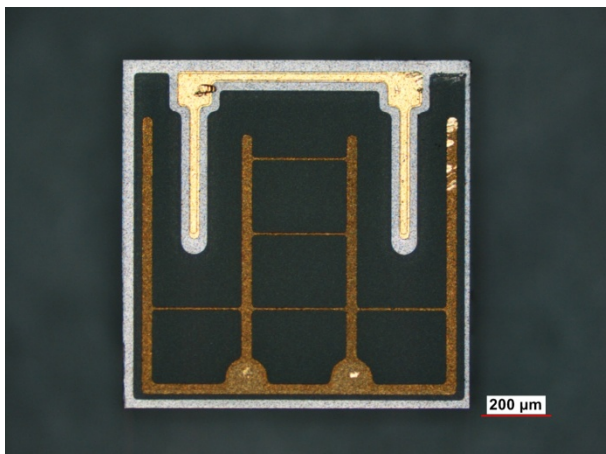


Abb. 11: Apollo

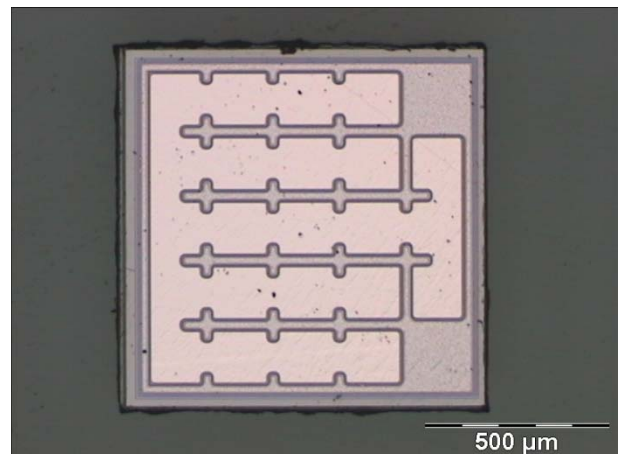


Abb. 12: Toyota Gosei (Flip Chip von oben, alle Metallisierungen befinden sich auf der Unterseite)

In den Querschliffen der Cree EZBright LEDs fällt auf, dass der EPI-Layer mit AuSn Lot auf den Si-Carrier gelötet ist (Abb. 13). Dies ist auffällig, da die LED mit AuSn beschichtet ist (Abb. 14) und für einen AuSn-Lötprozess spezifiziert ist, bei dem das Interface EPI-Layer|Carrier sich wieder verflüssigen könnte. SemiLEDs ist hier einen anderen Weg gegangen und lässt kein Lot oder Kleber im Interface erkennen (Abb. 15).

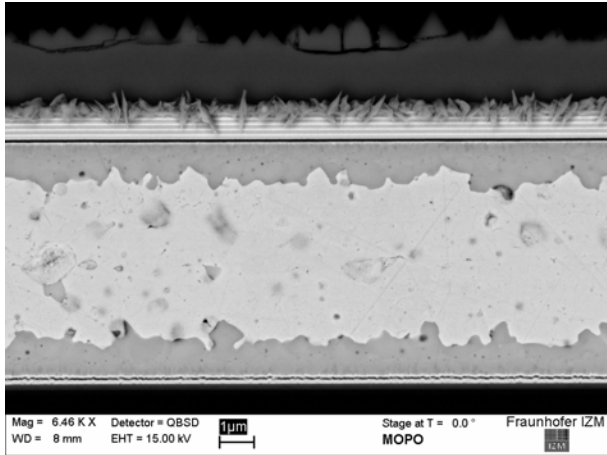


Abb. 13: Cree EZBright, Interface EPI-Layer|Carrier, gelötet mit AuSn, die kristalline Schicht im oberen Viertel kommt durch oxidiertes Silber zustande (REM)

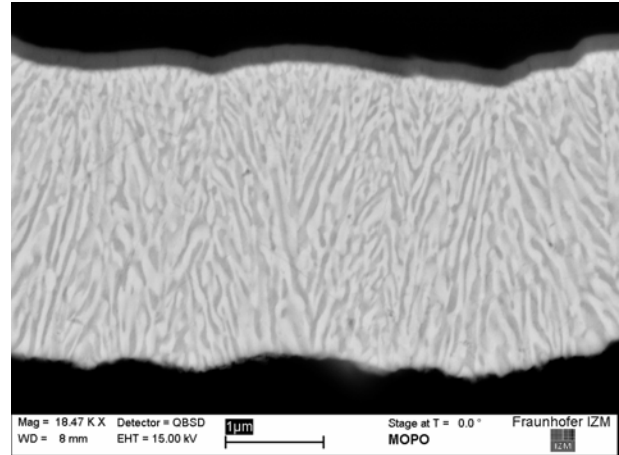


Abb. 14: Cree EZBright, Unterseite zum Dieblöten mit AuSn (REM)

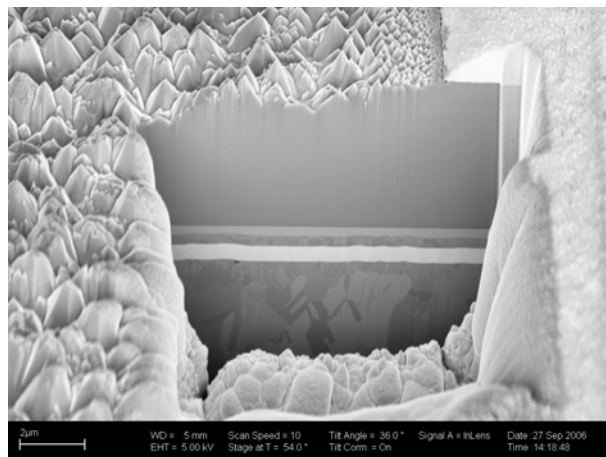


Abb. 15: SemiLEDs, Interface EPI-Layer|Carrier (FIB)

Über die gezeigten Aufnahmen hinaus sind detaillierte Erkenntnisse über das Bonden der EPI-Schicht auf den Träger und die Strukturierung der Oberfläche zur verbesserten Lichtauskopplung gewonnen worden. Zusätzlich wurde mit Hilfe der EDX-Analyse die exakte Materialabfolge bestimmt. Diese Ergebnisse dienen der Abschätzung der Effizienz und der Zuverlässigkeit der Bauteile. Eine vollständige Darstellung würde den Rahmen des Zwischenberichtes übersteigen.

- Analyse der Prozesskompatibilität: Cree und SemiLEDs

Da sich für Highpower LEDs ein Klebprozess für den Dieattach aus thermischer Sicht nicht eignet, müssen die Bauteile hinsichtlich Ihrer Kompatibilität für den Lötprozess überprüft werden. Favorisiert wird dabei ein AuSn Lötprozess, der zwar bei höheren Temperaturen abläuft, aber gerade dadurch bei weiteren Verarbeitungsschritten mit bleifreien Loten nicht wieder aufschmilzt. Wo dies nicht möglich ist, werden auch Tests mit SnAg-Lot durchgeführt, die 2006 nicht relevant waren, aber 2007 durchgeführt werden.

Zunächst wurden die LEDs einem Belotungstest unterzogen. Dabei konnte festgestellt werden, dass SemiLEDs seine Unterseitenmetallisierung von unbrauchbar Abb. 16 zu nahezu perfekt Abb. 17 verbessern konnte. Anders verhält sich dies bei Cree. Mit dem Übergang der SiC-Carbid basierten XB900 (Abb. 18) zur oberflächenemittierenden EZBright hat sich die Benetzbarkeit drastisch verschlechtert (Abb. 19). Die Qualität der XB900 wurde auch bei der Weiterentwicklung zur EZ1000 nicht wieder erreicht (Abb. 20). Die Apollo LED ist zum Löten gar nicht geeignet und zeigt auch keine Benetzung. Sie ist von diesem Gesichtspunkt für den Aufbau einer UHB-LED nicht geeignet.

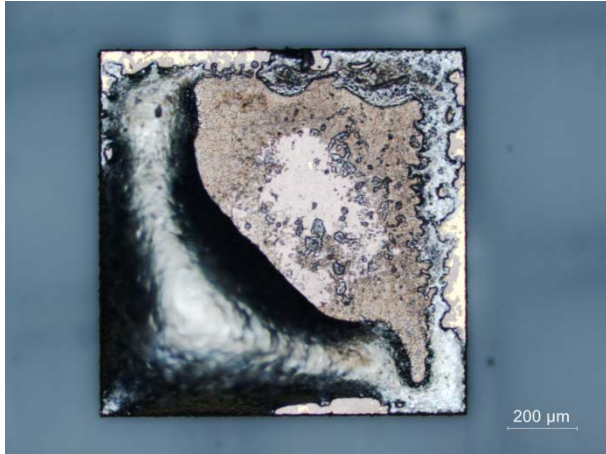


Abb. 16: SemiLEDs Design Ende 2005

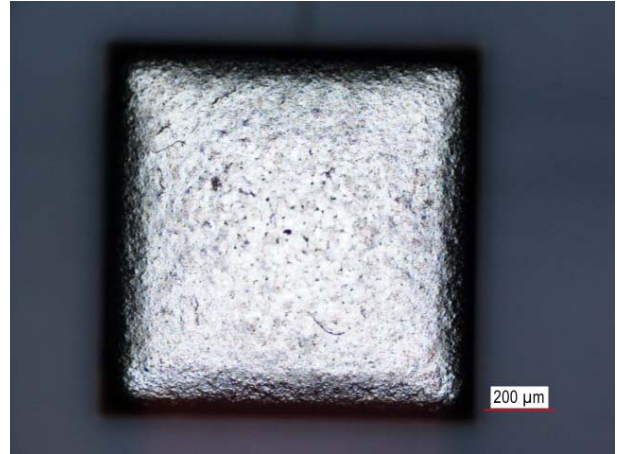


Abb. 17: SemiLEDs Design Anfang 2006

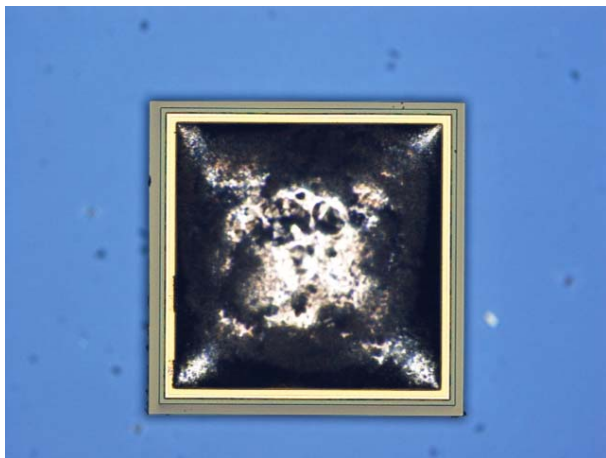


Abb. 18: Cree XB900

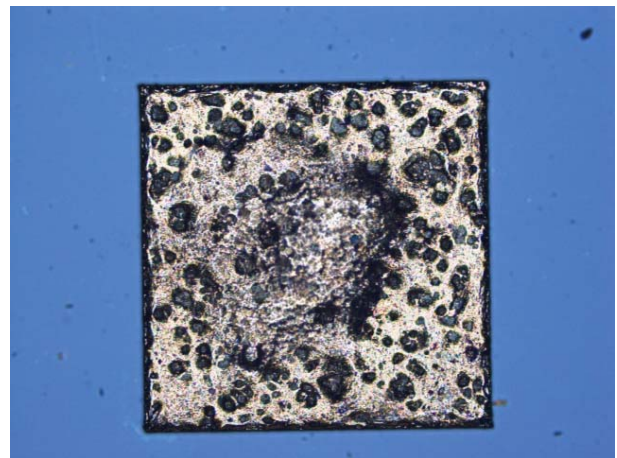


Abb. 19: Cree EZBright

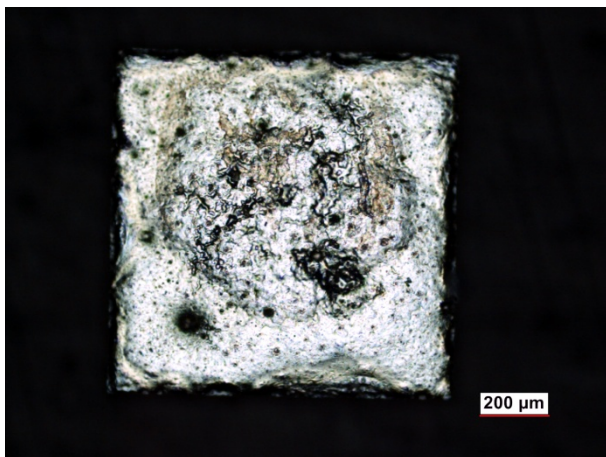


Abb. 20: Cree EZ1000



Abb. 21: Apollo

Wie von den Belotungstests bereits zu erwarten, zeigen der Cree EZBright und EZ1000 nach dem Lötten kein gutes Interface zum Submount (Abb. 22, unteres Drittel). Abb. 23 zeigt, dass es praktisch keine Barriere zum Silizium des Carriers gibt und Silizium in das Lot gelöst wurde. Auch hat sich die Befürchtung betreffend der wieder aufschmelzenden Verbindung zwischen dem EPI-Layer und dem Carrier bestätigt (Abb. 22, oberes Drittel). Dies könnte allerdings auch an dem bereits vor dem Lötten vorhandenen hohen Anteil von Poren im Lot gelegen haben, der teilweise in den Proben gefunden wurde (Abb. 24). Die Problematik mit dem Interface EPI-Layer|Carrier hat sich im Laufe der Zeit verbessert, wurde aber nie ganz behoben. Bei den SemiLEDs LEDs ist trotz der guten Benetzung kein optimales Lotinterface ausgebildet worden (Abb. 25). Da aber auch im Querschliff eine gute Benetzung des Chip und eher eine Entnetzung auf dem Substrat zu sehen ist, deutet dies nicht auf ein Problem des Chipherstellers hin.



Abb. 22: Querschliff aufgebaute Cree EZBright, Charge Anfang 2006

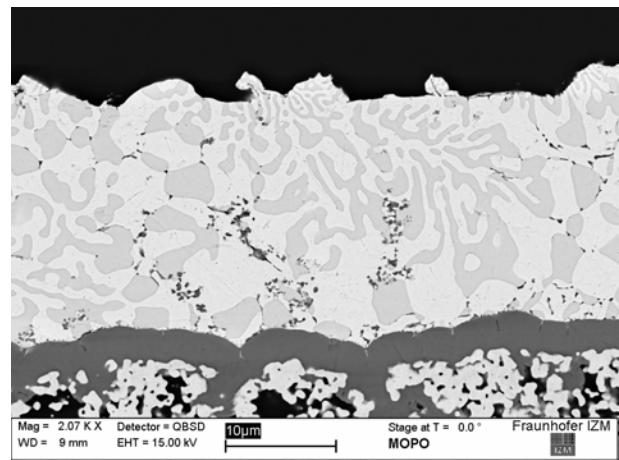


Abb. 23: Focus auf das Interface Carrier|Submount (REM)

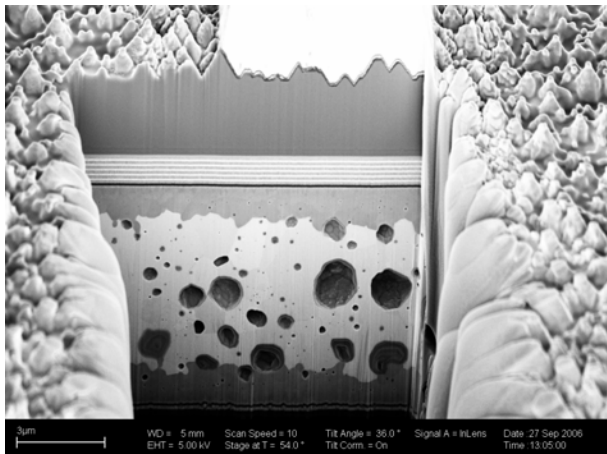


Abb. 24: Cree EZBright, Interface EPI-Layer|Carrier, gelötet mit AuSn (FIB)

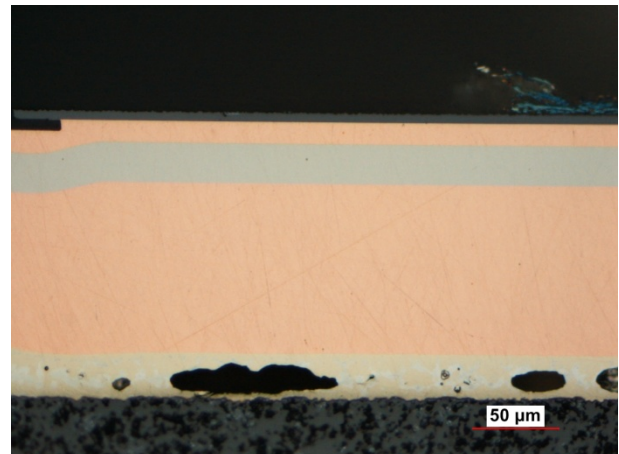


Abb. 25: Querschliff aufgebaute SemiLEDs LED

- Zielpräparation von funktionstüchtigen Cree - und SemiLEDs

(Aufbauten für Elektrolumineszenzmessungen)

Um gezielte Elektrolumineszenzmessungen an der Junction durchführen zu können, wurden jeweils eine Cree (Abb. 26) und eine SemiLEDs (Abb. 27) LED funktionstüchtig auf einem Kyocera Submount aufgebaut und eingebettet. Hiervon wurde derart eine Zielpräparation durchgeführt, dass die Schliffebene senkrecht zur Junction verläuft. Während die Präparation der Cree-LED nach kurzem Betreiben durch Ätzen mit HCl oder erneutes Polieren reaktiviert werden musste, konnte die präparierte SemiLEDs LED kontinuierlich betrieben werden.

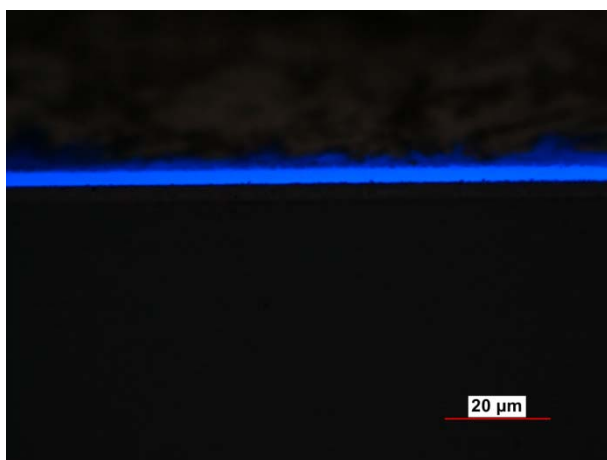


Abb. 26: Zielpräparation funktionstüchtiger Cree EZBright

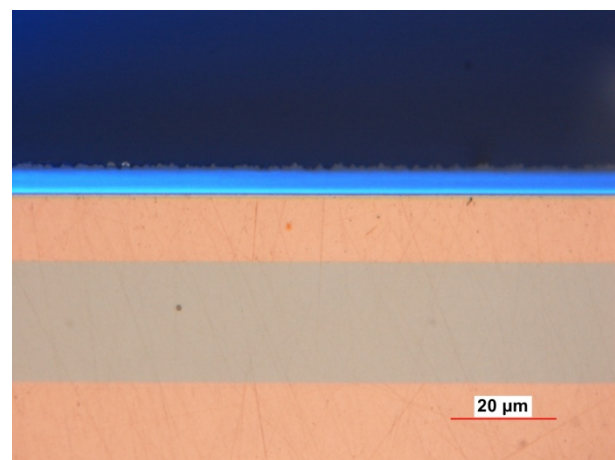


Abb. 27: Zielpräparation funktionstüchtiger SemiLEDs LED, Charge Mitte 2006

- Analyse der Prozesskompatibilität: Cu|Mo Composite Board

Beim direkten Löten von Halbleitern auf Metallkernplatinen aus Kupfer oder Aluminium kommt es zu hohem thermomechanischen Stress aufgrund der verschiedenen Ausdehnungskoeffizienten. Dies kann durch einen Submount kompensiert werden oder durch geschickte Kombination von Metallschichten im LED-Chip. Soll der Submount eingespart werden und steht eine angepasste LED nicht zur Verfügung, ist die Verwendung eines CTE-angepassten Metalls denkbar. Zur optimalen Entwärmung sollten die LEDs direkt auf diesen Träger gelötet werden, was aber einen gemeinsamen elektrischen Kontakt zur Folge hätte, so dass die LEDs diskret angesteuert werden müssen.

Als CTE-angepasstes Metall kommt das analysierte mit Ni|Au metallisierte Cu|Mo Composite in Frage. Das von der Firma H.C. Stark zur Verfügung gestellte Material erwies sich als gut benetzbar und führte bei der Montage von SiC basierten LEDs mit einer Kantenlänge von ~ 1 mm nicht zu deren Zerstörung.

- Auswahl von AlN Board Herstellern.

Zur Kompensierung des thermomechanischen Stresses zwischen dem Halbleiter und den Metallkernplatinen und zur untereinander isolierten elektrischen Kontaktierung der Bauteile bietet sich die Verwendung von Submounts an. Im konkreten Fall sollten diese aus AlN - Keramik bestehen, um vom CTE nahe an dem des Halbleiters zu liegen und trotzdem eine hohe Wärmeleitfähigkeit zu gewährleisten.

Es wurden Angebote von 8 Herstellern eingeholt. Zu diesem Zeitpunkt sahen sich nur zwei Hersteller in der Lage, belotete Boards zu liefern, die für eine Massenfabrikation nötig sind. Da der eine Hersteller, Kyocera, bereits einige Boards zur Verfügung gestellt hat, wurde der zweite Anbieter, Reinhardt Microtech AG, für die Herstellung der Boards ausgewählt.

- Ausfallanalyse SemiLEDs und weitergehende Aufbauanalyse

Vereinzelt kam es bei SemiLEDs zu Ausfällen kam, die sich durch eine zu geringe Lichtausbeute bei definiertem Strom zeigten. Daher wurde nach Beschädigungen gesucht, die dies zur Folge haben können. Die Kennlinie dieser ausgefallenen Chips zeigt einen zu frühen Anstieg im Bereich der halben normalen Vorwärtsspannung (Abb. 28, roter Graph).

In einem Fall wurde eine Beschädigung der Junction gefunden (Abb. 28, rote Ellipse), bei der sich Rückstände im Bereich des Ausbruchs befinden.

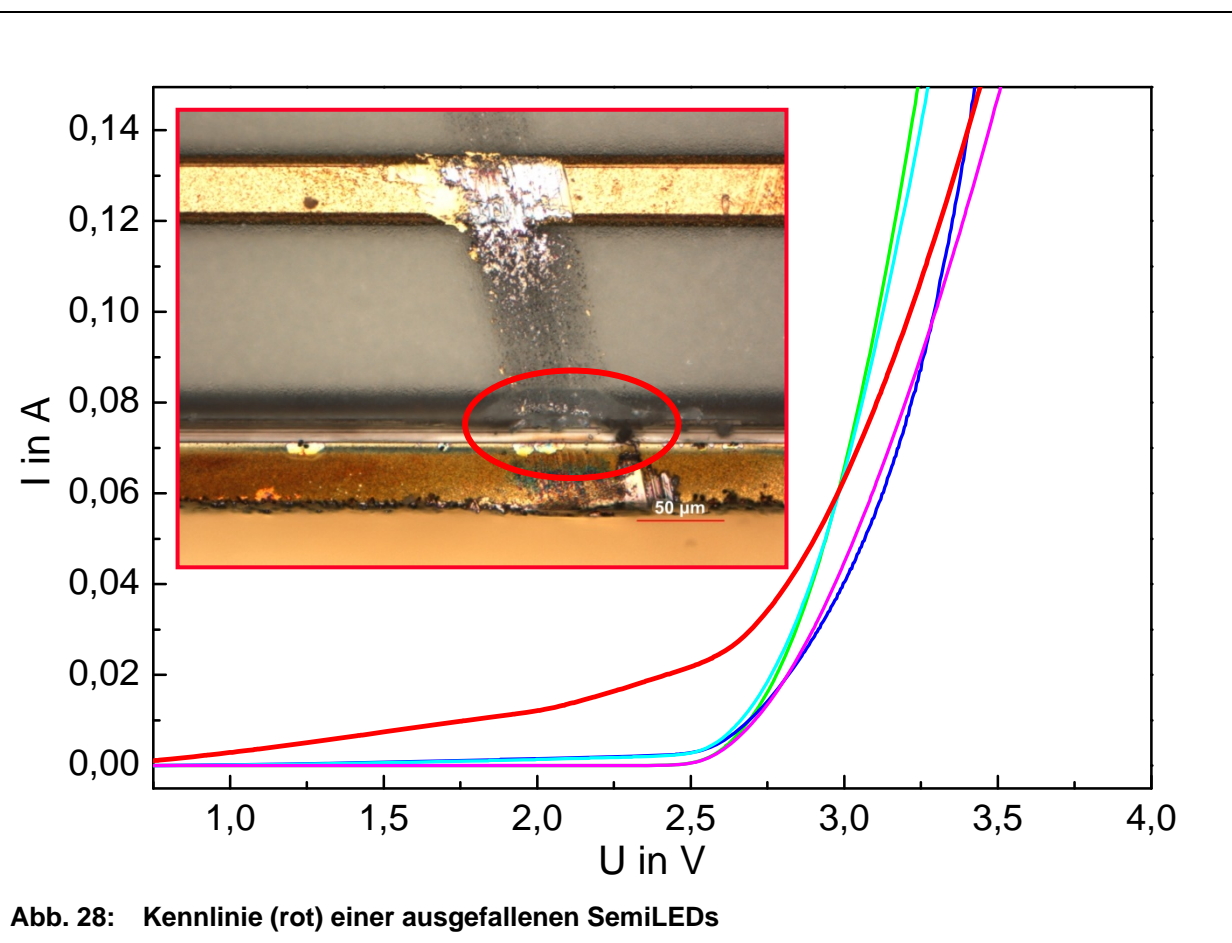
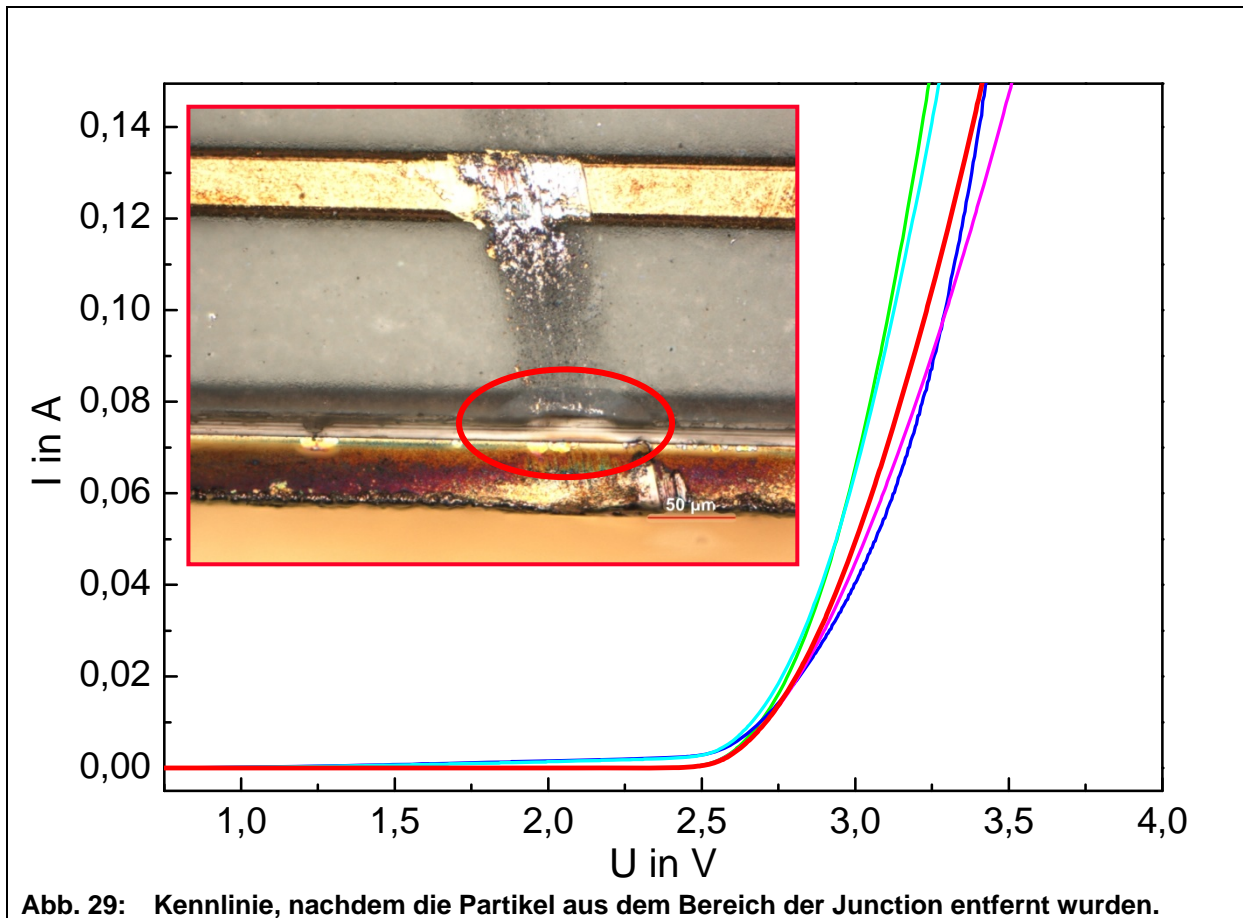


Abb. 28: Kennlinie (rot) einer ausgefallenen SemiLEDs

Entfernt man diese Rückstände (Abb. 29, rote Ellipse), zeigt die Kennlinie wieder einen Normalen Verlauf und die LED ein normales Verhalten (Abb. 29, rote Graph).



Um ein besseres Verständnis dafür zu entwickeln, warum die Kante der Chips derart sensibel ist, wurden detailliertere Querschliffe und ein FIB-Schnitt der relevanten Region angefertigt (Abb. 7 und Abb. 8). Diese zeigen, dass der Halbleiter umlaufend von einer Polymerschicht umgeben ist, die zusätzlich den p/n-Übergang des Halbleiters abdeckt. Aufgrund dieses Polymerringes scheint die mechanische Stabilität herabgesetzt zu sein.

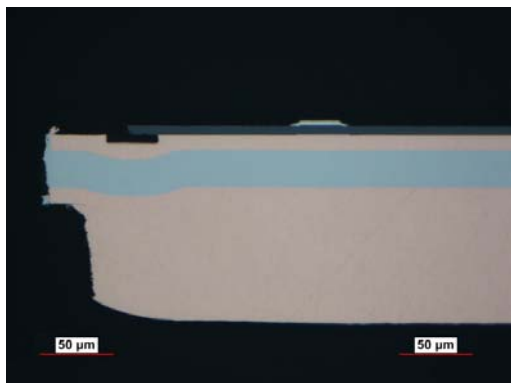


Abb. 30: SemiLEDs Querschliff mit Blick auf die Kante des Halbleiters

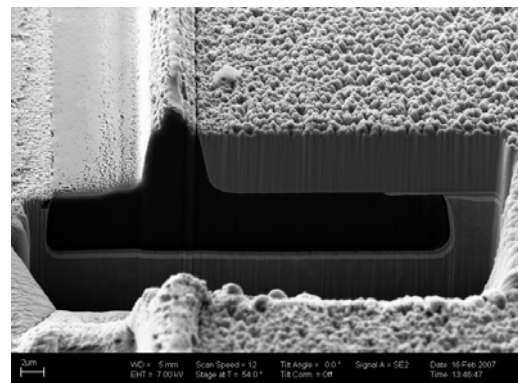


Abb. 31: FIB-Schnitt im Bereich der Kante des Halbleiters

- Ausfallanalyse aufgebauter Module mit Cree LEDs

Bei aufgebauten und vergossenen Modulen mit Cree-LEDs kam es gehäuft zu Ausfällen einzelner LEDs. Die LEDs waren hierbei niederohmig ohne Licht zu emittieren. Aufgrund der hohen Anzahl von ausgefallenen LEDs konnten keine Module mit 8 LEDs aufgebaut werden, bei denen alle LEDs funktionstüchtig waren. Um der Ursache für dieses Verhalten nachzugehen, wurden die bei odelo weiterverarbeiteten Module am IZM analysiert.

Zunächst wurden einfache optische Untersuchungen mit dem Stereomikroskop durchgeführt. Hierbei ließen sich bereits durch den Verguss hindurch farbliche Veränderungen beobachten, die auf eine starke Erhitzung im Bereich des einen Drahtbondpads hinweisen. Zu diesem Zeitpunkt ist so jedoch noch nicht ersichtlich, ob es sich um eine Zersetzung des Verguss oder eine Veränderung des Halbleitermaterials handelt.

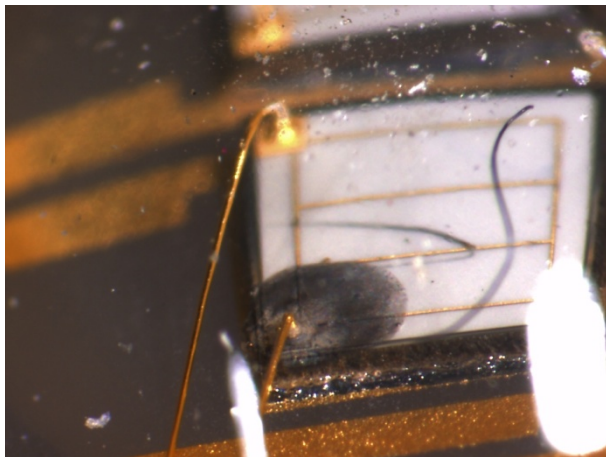


Abb. 32: diagonale Aufsicht auf ein vergossenes Modul mit ausgefallener Cree LED

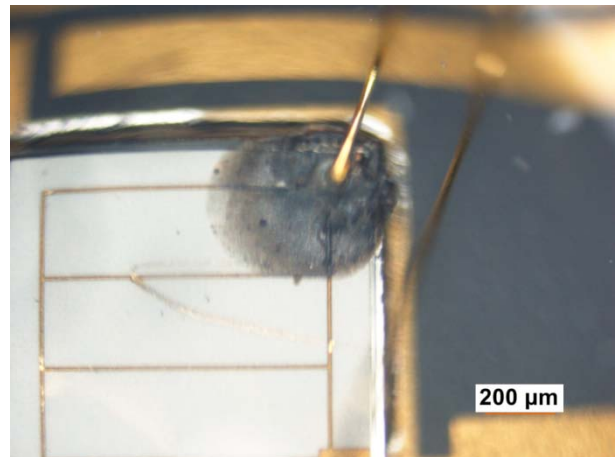


Abb. 33: Aufsicht auf die ausgefallene Cree LED

Nach Entfernung des Verguss bei einer weiteren Probe ist offensichtlich, dass es zu einer Veränderung im Halbleitermaterial gekommen ist. Darüber hinaus kann man erkennen, dass die Stromverteilungsstrukturen sich im Bereich des Drahtbondpads verändert haben. Auch wenn sie nicht aufgeschmolzen erscheinen, hat sich die goldene Farbe ins silbrige verändert, was auf eine intermetallische Reaktion, vermutlich mit Gallium, hindeutet und ebenfalls auf eine starke Erhitzung hinweist.

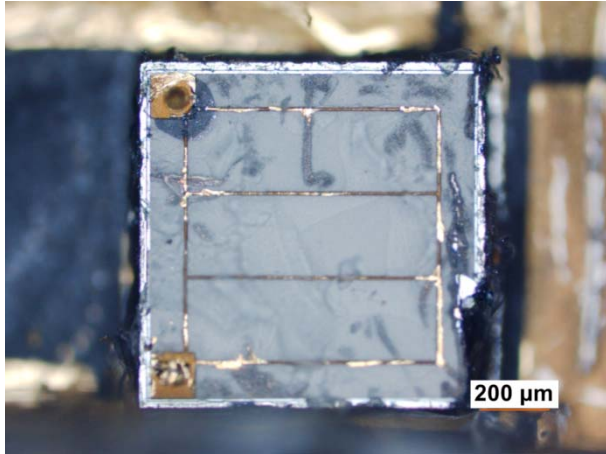


Abb. 34: Aufsicht auf eine weitere Cree-LED nach dem Entfernen des Verguss

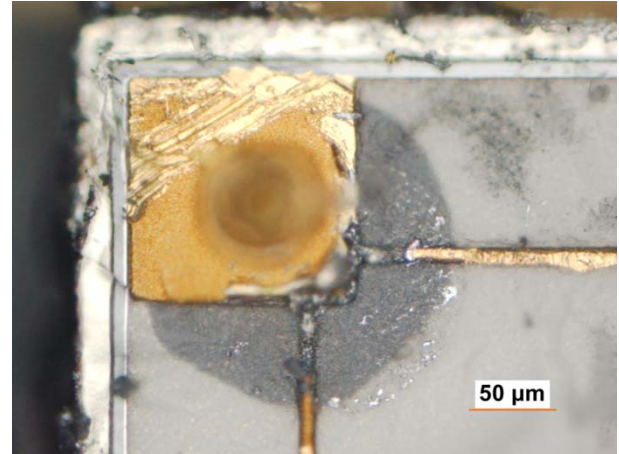


Abb. 35: Detailaufnahme eines Drahtbondpads

Im Querschliff ist das gesamte Ausmaß der Überhitzung zu erkennen. Durch den lokalen sehr hohen Strom hat sich nicht nur das GaN zersetzt. Das AuSn-Lot, das zum Fügen des GaN mit dem Si-Substrat verwendete hat mit dem Si reagiert und den gesamten Bereich in der Nähe des Drahtbondpads zerstört. Dies führt zu einem Kurzschluss. Die SEM-Bilder bestätigen die bereits in den lichtmikroskopischen Aufnahmen sichtbaren thermischen Schäden.

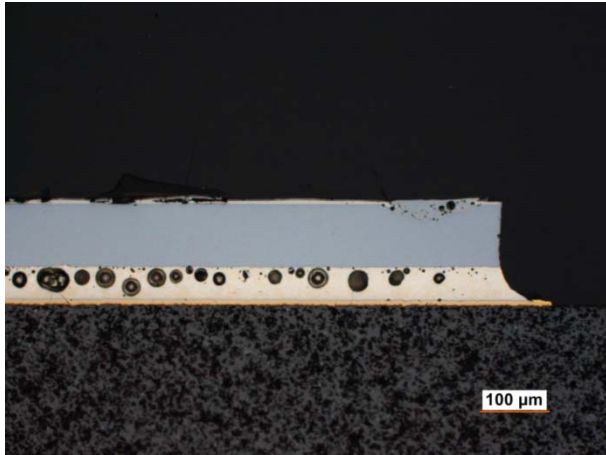


Abb. 36: Querschliff der geschädigten Cree LED, das Drahtbondpad befindet sich oben rechts

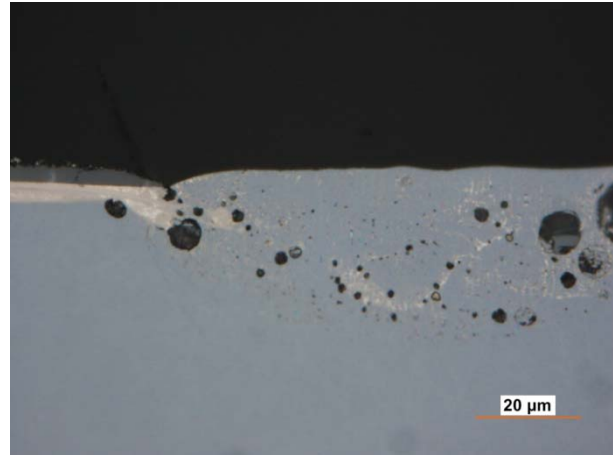


Abb. 37: Detailaufnahme des Drahtbondpads

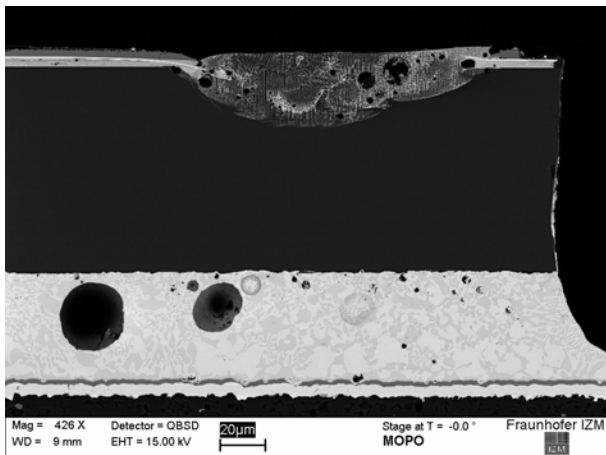


Abb. 38: SEM-Aufnahme des Querschliffes des geschädigten Drahtbondpads

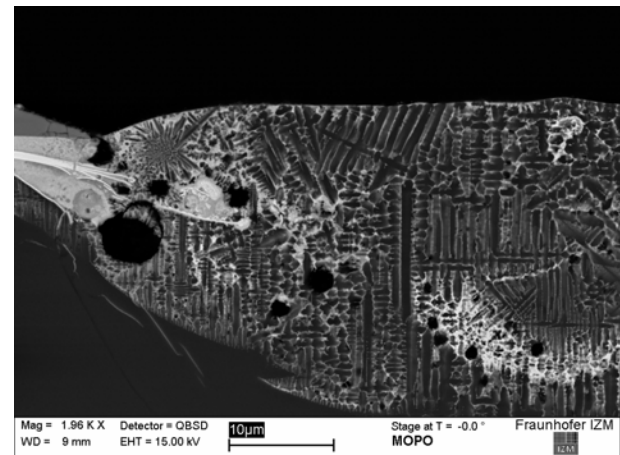


Abb. 39: SEM-Detailaufnahme des geschädigten Drahtbondpads

- Qualifikation gelieferter AlN-Boards

Die im Mai 2007 gelieferten AlN Substrate werden einer eingehenden Qualifikation unterzogen.

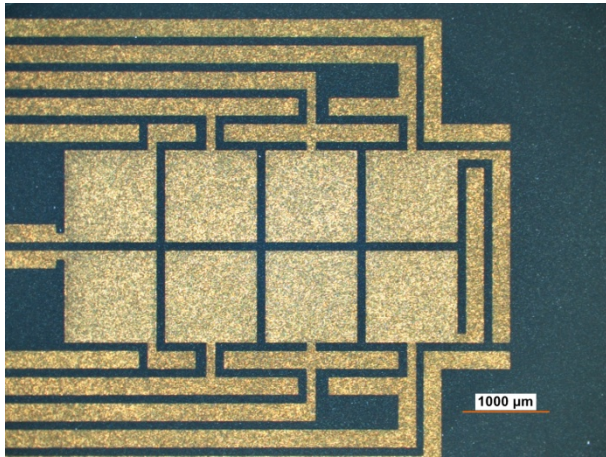


Abb. 40: Übersichtsbild AlN Substrat

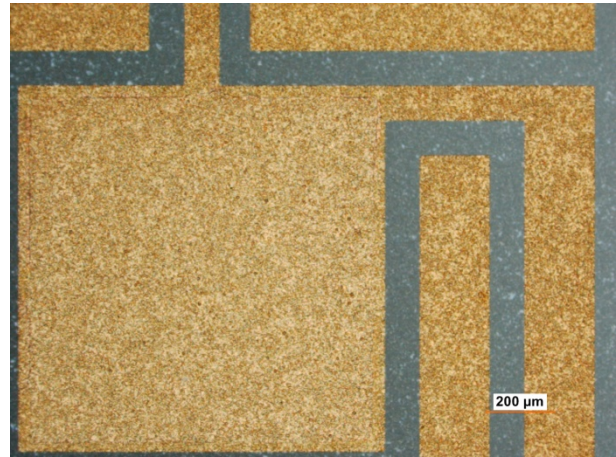


Abb. 41: Übersichtsbild Diebond Pad

Die Aufsicht auf die AlN Boards (Abb. 16 und Abb. 17) zeigt eine präzise dem Design entsprechende Oberflächenstrukturierung auf. In Abb. 16 lässt sich bereits die gesonderte Padmetallisierung erahnen (Array von acht helleren quadratischen Pads). Diese ist notwendig, da die 5 µm dicke Au Basismetallisierung mit SnAg-Lot zu Sprödphasen führt oder dünne AuSn Lotschichten chemisch erstarren lässt. Um beides zu vermeiden ist auf den Diebondflächen zusätzlich Ni als Barriere und eine dünne Au Schicht als Oxidationsschutz und Benetzungsfläche aufgebracht. Leider springt diese zusätzliche Metallisierung etwas zurück, wodurch das Lot mit Lot mit der Basismetallisierung in Kontakt kommen kann. (Abb. 42 bis Abb. 45).

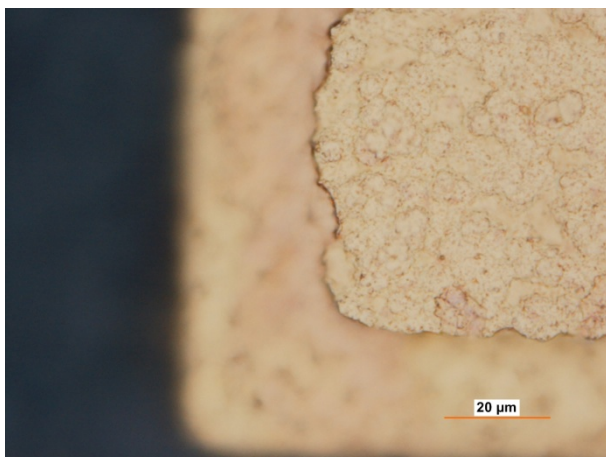


Abb. 42: erhabene Diebondfläche, Fokus oben

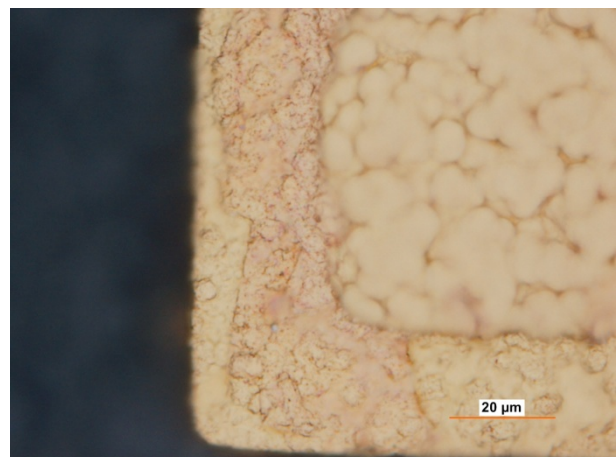


Abb. 43: erhabene Diebondfläche, Fokus unten



Abb. 44: SEM-Aufnahme der erhabenen Diebondfläche

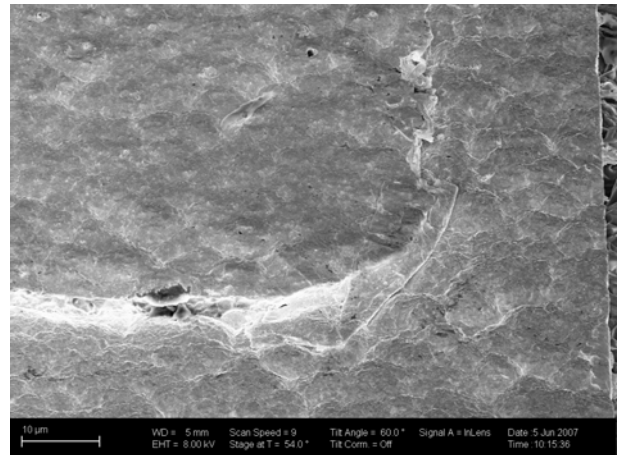


Abb. 45: SEM-Aufnahme der erhabenen Diebondfläche, Zoom

Die Basismetallisierung, die sowohl der Stromtragfähigkeit dient, als auch die Drahtbondflächen darstellt, ist präzise mit vertikalen Flanken realisiert. Die leichte Unterätzung, die in Abb. 19 erkennbar ist, bleibt ohne praktische Auswirkung.

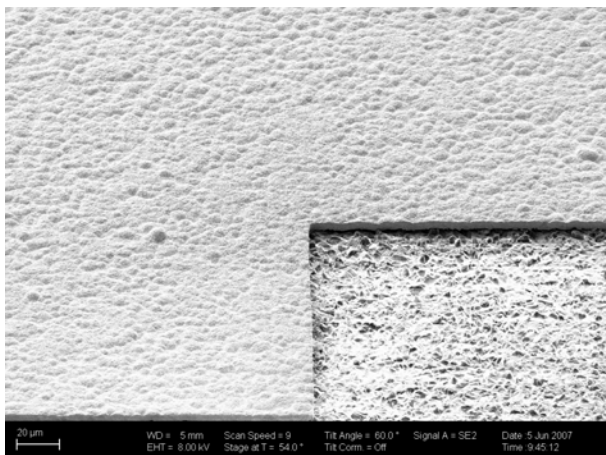


Abb. 46: Übersicht der Leiterbahnen

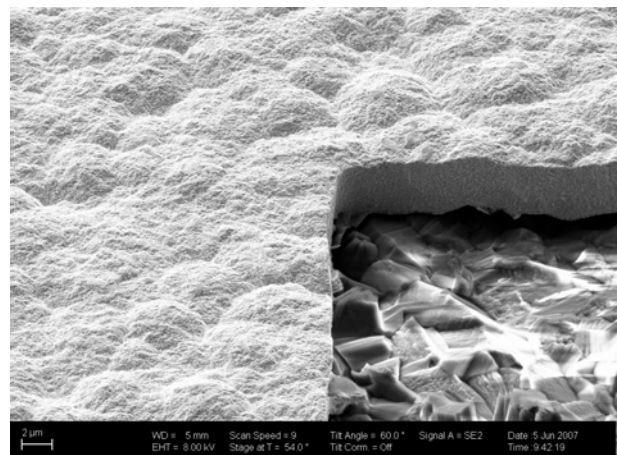


Abb. 47: Zoom der Leiterbahn auf dem AlN

Nach Abschluss der oberflächlichen Untersuchungen wurde ein FIB-Schnitt direkt in die Diebondfläche des Substrates durchgeführt. Bei diesem Schnitt (Abb. 48) konnten die Dicke der ersten Goldschicht mit 4,5 µm und die des Nickels mit 3,5 µm bestimmt werden. Technologisch bedingt kann bei einem direkten FIB-Schnitt eine dünne Oberflächenmetallisierung nicht vermessen werden, daher wurde eine Probe eingebettet, eine Zielpräparation mit konventioneller Technik in den Bereich der Padmetallisierung durchgeführt und anschließend die Oberflächenmetallisierung in einem erneuten FIB-Schnitt vermessen (Abb. 20 und Abb. 21). Dabei wurde eine Schichtdicke von 50 nm bis 65 nm Gold ermittelt. Diese Schichtdicke ist sehr gering und birgt die Gefahr, dass das Nickel hindurch diffundiert, auf der Oberfläche oxidiert und eine saubere Benetzung verhindert. Insbesondere eignen sich die Substrate so nicht für eine mehrmalige Erhitzung, da das Nickel dann beschleunigt diffundiert.

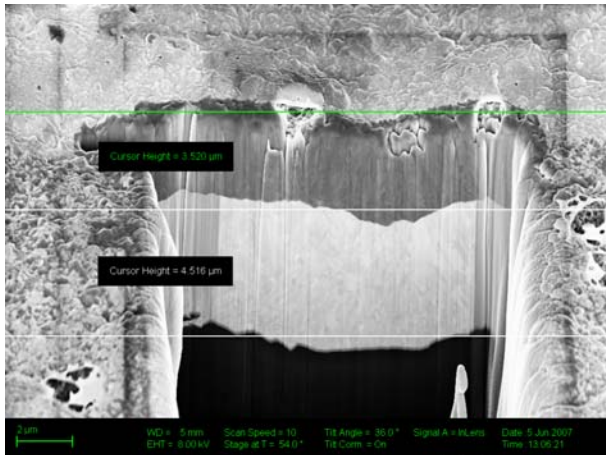


Abb. 48: Schichtdickenbestimmung der Oberflächenmetallisierung in einem FIB-Schnitt

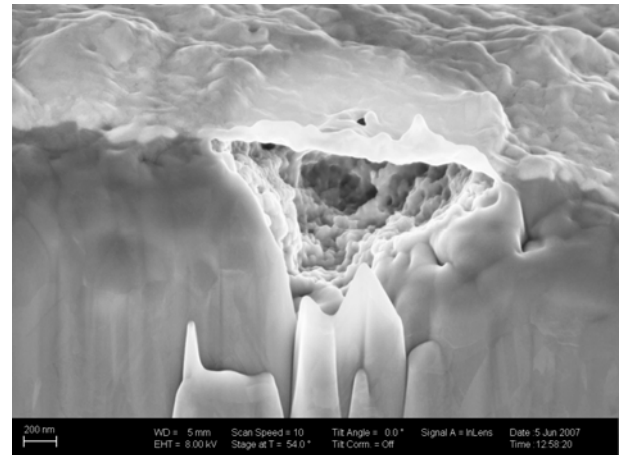


Abb. 49: Poren unterhalb der obersten Au-Schicht, FIB-Schnitt

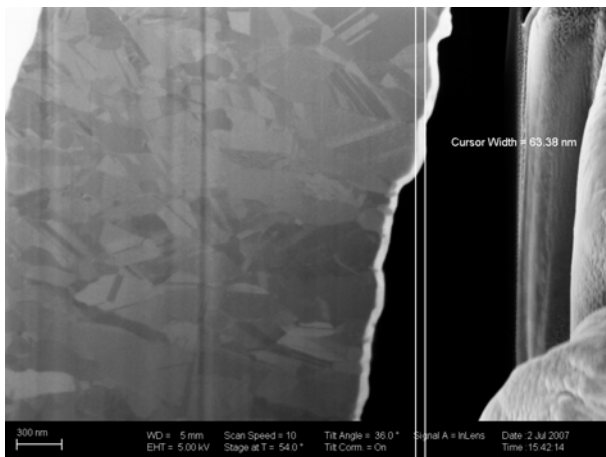


Abb. 50: Schichtdickenbestimmung der obersten Goldschicht mit einem FIB-Schnitt an einem Querschliff

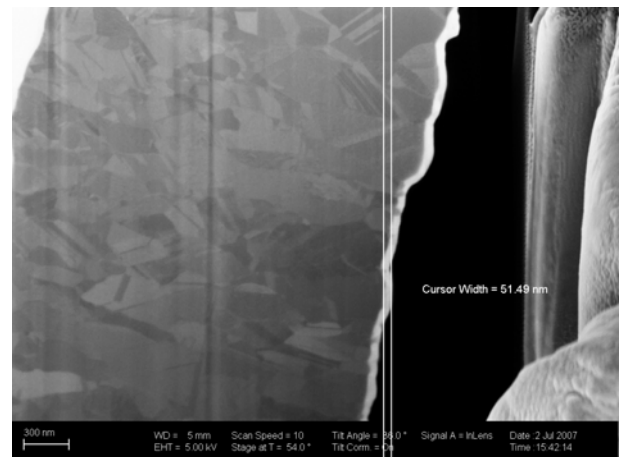


Abb. 51: Schichtdickenbestimmung der obersten Goldschicht mit einem FIB-Schnitt an einem Querschliff

Nach der reinen Aufbauanalyse wurden Tests durchgeführt, um die Kompatibilität mit den gewünschten Lötprozessen zu überprüfen. Hierzu wurden Substrate mit AuSn (Abb. 22) und SnAg (Abb. 23) Lot belotet. Während das AuSn zu einem großen Anteil nicht vollständig gespreizt hat, spreizt das SnAg vollständig. An der Oberfläche des SnAg-Lotes lassen sich jedoch Kristalle erkennen, die auf unerwünschte Sprödphasen hinweisen (Abb. 23).

Die Querschliffe durch das aufgelötete AuSn (z.B. Abb. 55) zeigen überwiegend eine homogene eutektische Phase. In den Randbereichen des Lotes (ca. 30 μm bis 40 μm) ist eine Akkumulation der ζ -Phase zu erkennen, die evtl. zu einem Stopp beim Benetzen geführt hat (Abb. 24). Zudem ist die Topographie der Metallisierung relativ ausgeprägt, was einer kontinuierlichen Benetzung auch entgegensteht (Abb. 25).

Die Querschliffe durch das aufgelötete SnAg (Abb. 60 bis Abb. 62) zeigen die befürchteten AuSn_4 -Phasen, die dem Lot einen sehr spröden Charakter geben. Das SnAg Lot hat nicht nur den umlaufenden Goldring von ca. 15 μm aufgelöst, sondern auch das Nickel ca. weitere 15 μm unterwandert. Dadurch ist der Anteil von Gold im SnAg weit über vier Massenprozent, die als kritische Menge für Sprödbrüche angesehen wird, gestiegen. Um das Problem zu umgehen, wird in Zukunft mit der doppelten Lotmenge gearbeitet.

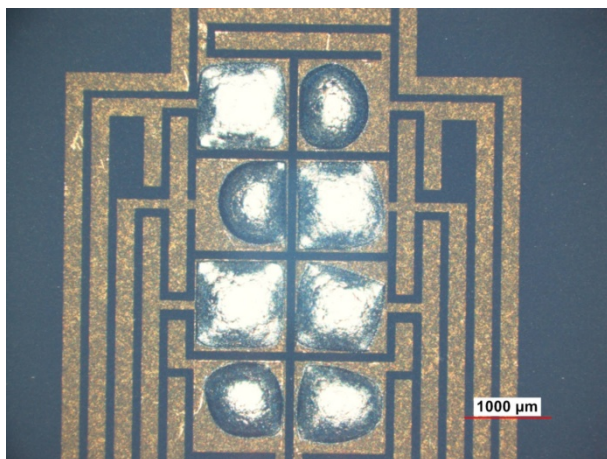


Abb. 52: Benetzungstest des AlN-Substrates mit AuSn

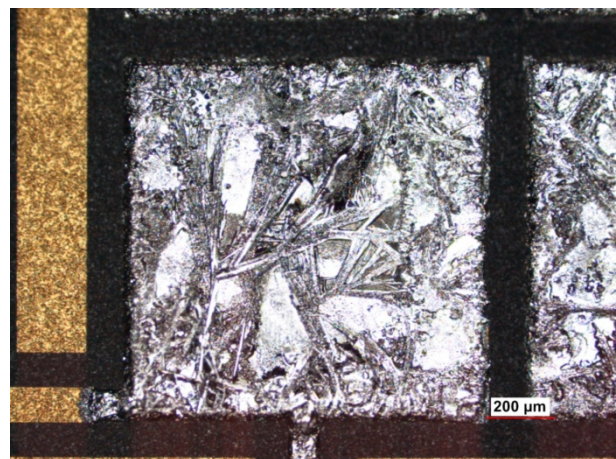


Abb. 53: Benetzungstest des AlN-Substrates mit SnAg

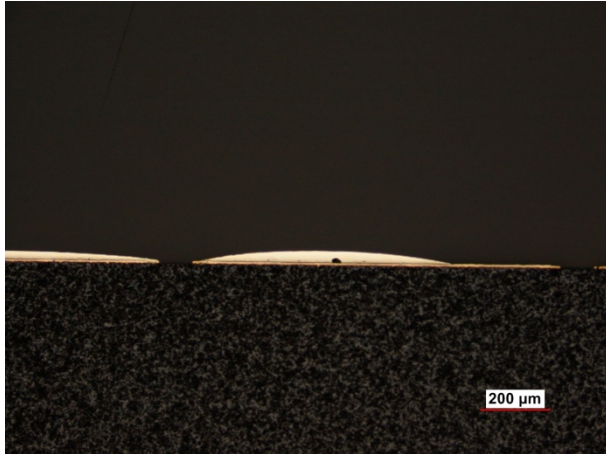


Abb. 54: Querschliff AuSn Belotungstest (LM)

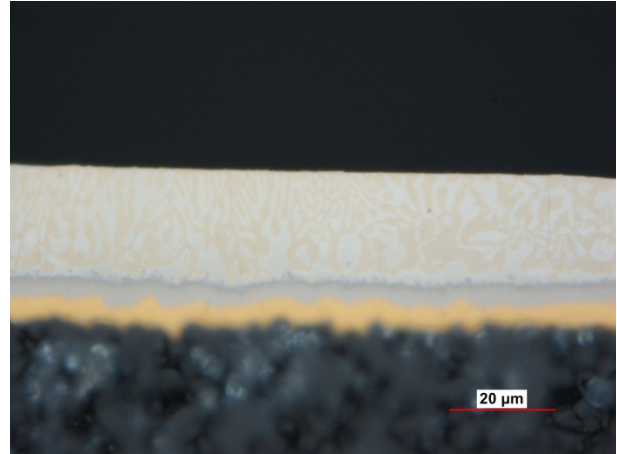


Abb. 55: Querschliff AuSn Belotungstest (LM)

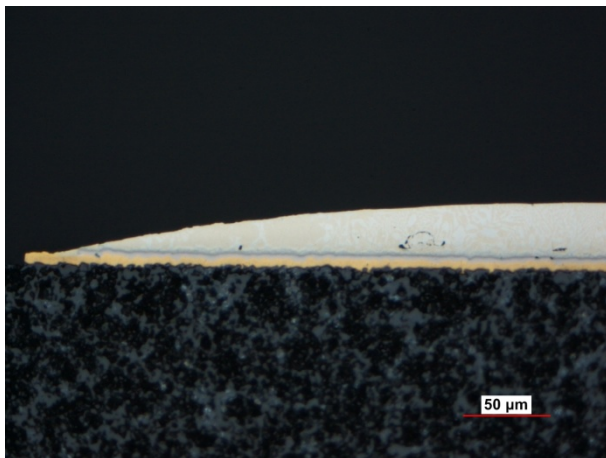


Abb. 56: Querschliff AuSn Belotungstest (LM)

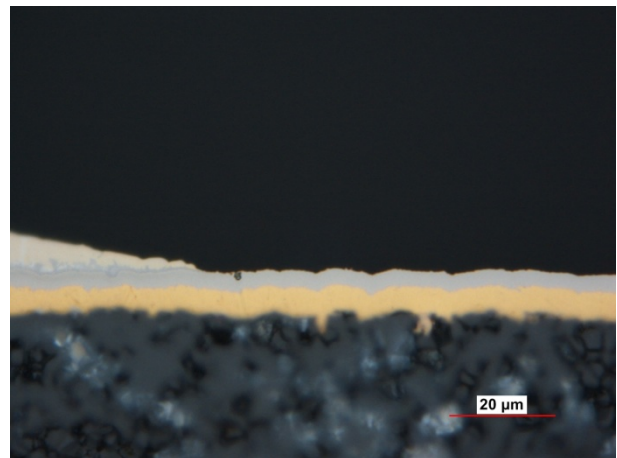


Abb. 57: Querschliff AuSn Belotungstest, Bereich in dem das Lot stoppte (LM)

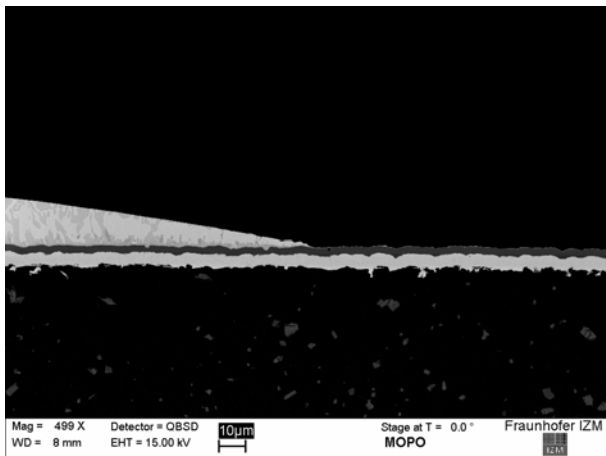


Abb. 58: Abb. 57 als SEM BILD

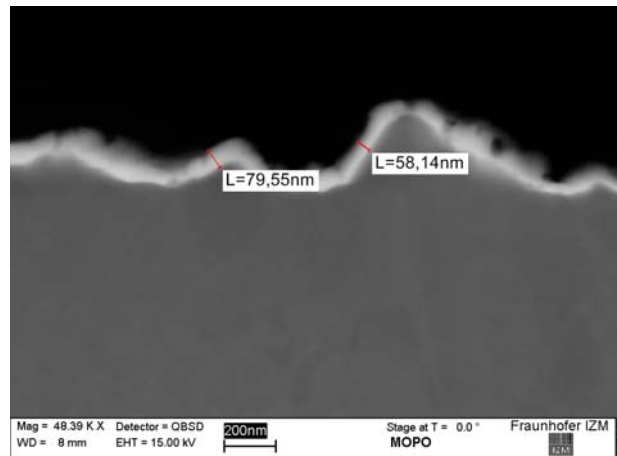


Abb. 59: Topographie kurz vor dem gestoppten LOT (SEM)

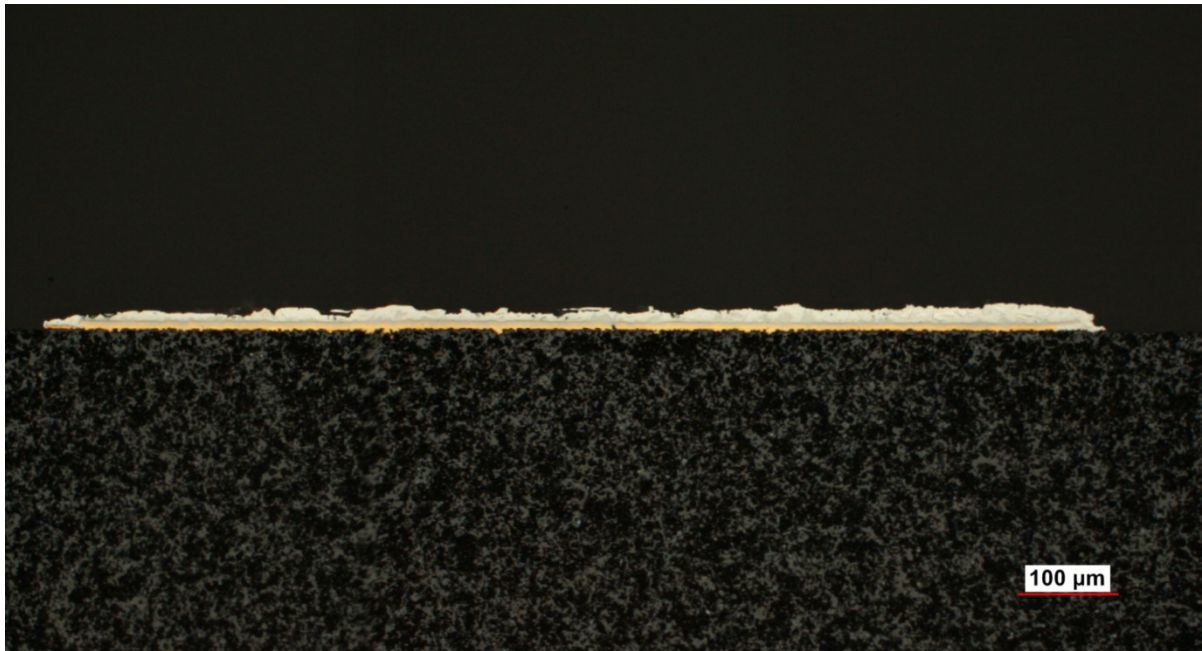


Abb. 60: Querschliff der SnAg Löttests, Übersicht (LM)

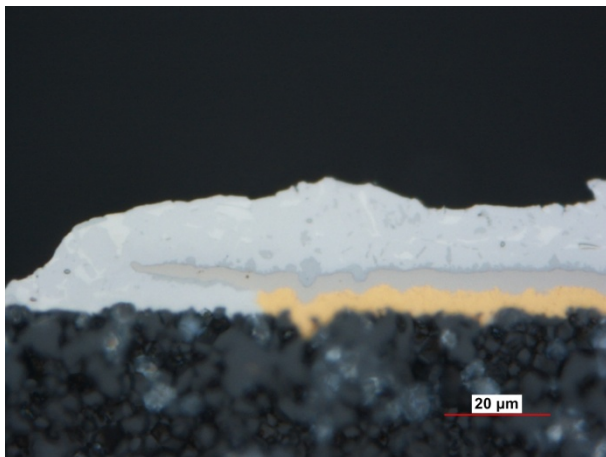


Abb. 61: Das SnAg fließt über das Diebond-Pad hinaus, löst das umliegende Gold und unterwandert das Nickel. (LM, links)

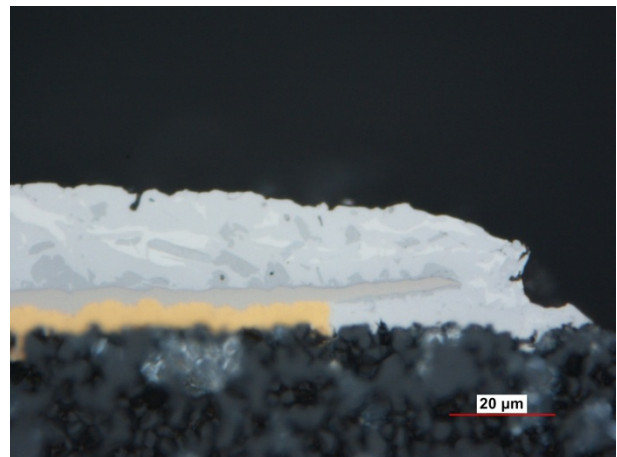


Abb. 62: Das SnAg fließt über das Diebond-Pad hinaus, löst das umliegende Gold und unterwandert das Nickel. (LM, rechts)

- Aufbauversuche auf IMS-Boards

Lötet man SemiLEDs auf IMS Boards, fällt eine extreme Verdrehung der Bauteile auf, die auch zu Kurzschlüssen zwischen den einzelnen LEDs führt (Abb. 65).

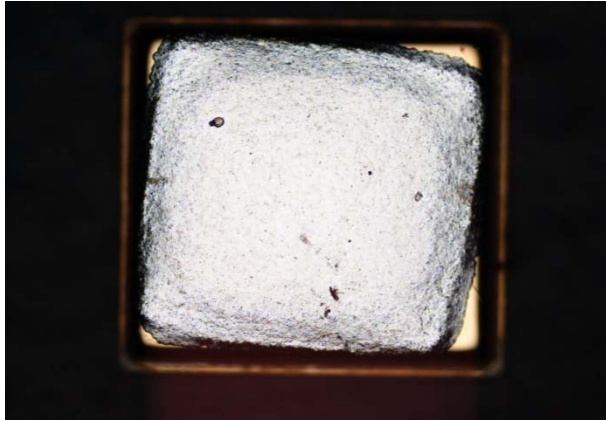


Abb. 63: Belichtungstest aktueller SemiLEDs mit AuSn

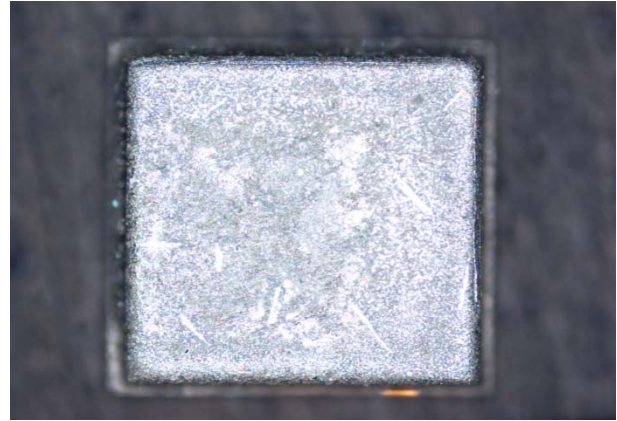


Abb. 64: Belichtungstest aktueller SemiLEDs mit SnAg

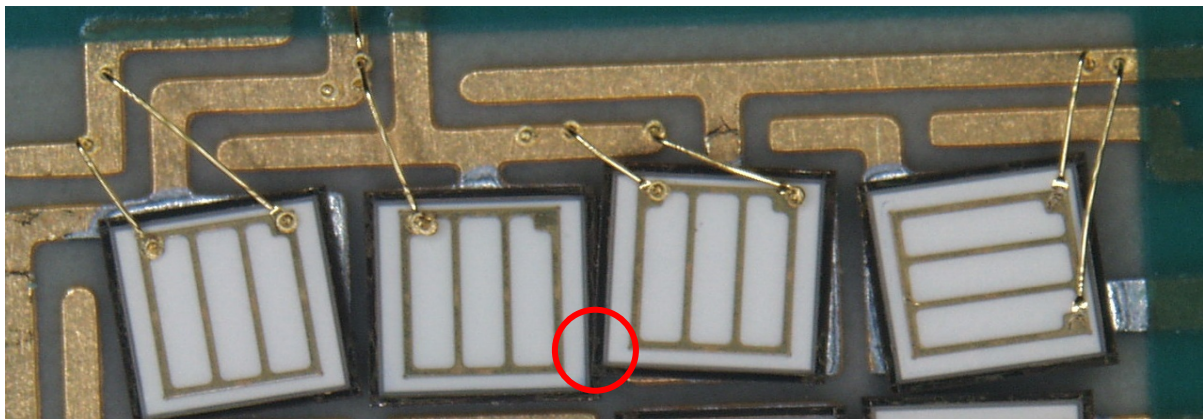


Abb. 65: Aufsicht auf die Die- und wiregebondete SemiLEDs

Diese Verdrehung beruht auf zwei Ursachen:

1. Die SemiLEDs weisen keine sauber abgegrenzte Benetzung der Diebondfläche auf. Zum einen werden die Flanken willkürlich benetzt (Abb. 67 und Abb. 68), zum anderen ist die Diebondfläche nicht eben, sondern zu den Seiten hin stark verrundet (Abb. 66). Beides wirkt einem Selfalignment durch die Oberflächenspannung des flüssigen Lotes entgegen.

2. Die für das AIN Board entwickelte Strukturierung ist bei den IMS-Boards nicht umgesetzt worden (vergleichende Bilder Abb. 69 bis Abb. 72). Insbesondere die Verjüngung der Leiterbahn an den Diebondpads auf 100 µm wurde nicht umgesetzt, so dass der Lotfluss nicht eingengt und gestoppt wird. Wurden zudem noch Anschlüsse sehr nahe zusammengebracht (z.B. Abb. 72), gibt es einen erheblichen Lotfluss vom Pad auf die Leiterbahn, der dann das Bauteil aus seiner gewünschten Position bringt.

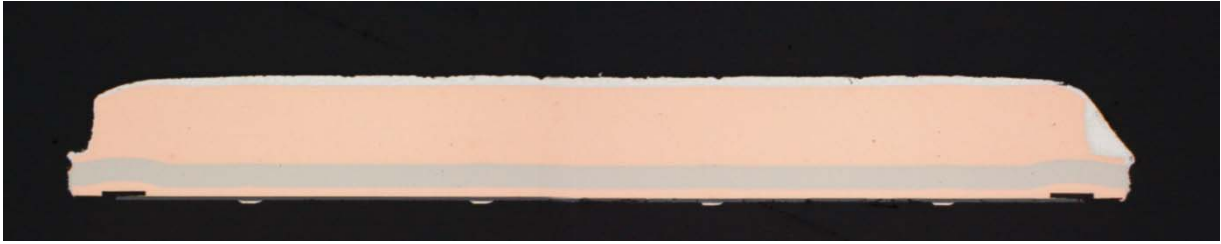


Abb. 66: Querschliff SemiLEDs mit SnAg belotet (LM)

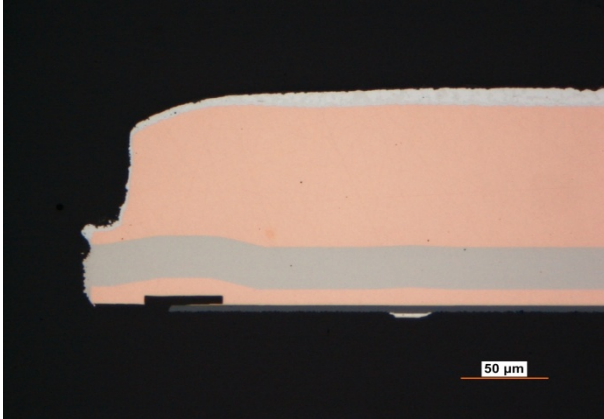


Abb. 67: Querschliff SemiLEDs mit SnAg belotet (LM, Zoom links)

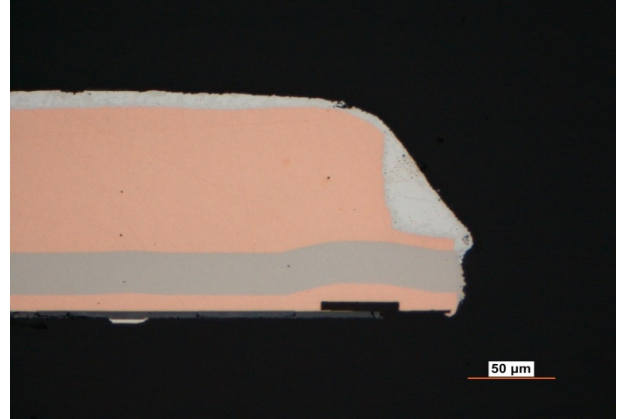


Abb. 68: Querschliff SemiLEDs mit SnAg belotet (LM, Zoom rechts)

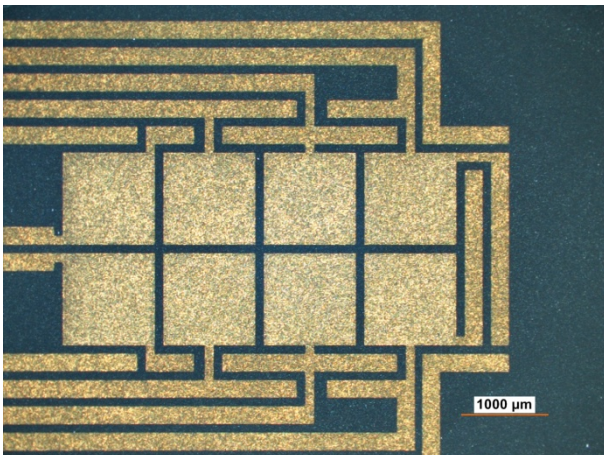


Abb. 69: vergleichende Aufsicht AlN Substrat

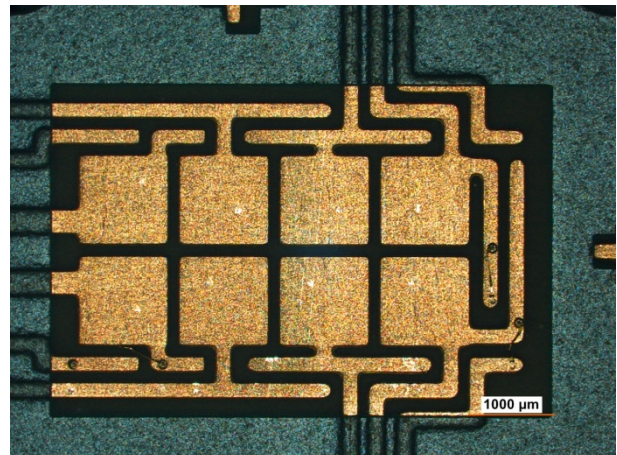


Abb. 70: vergleichende Aufsicht IMS

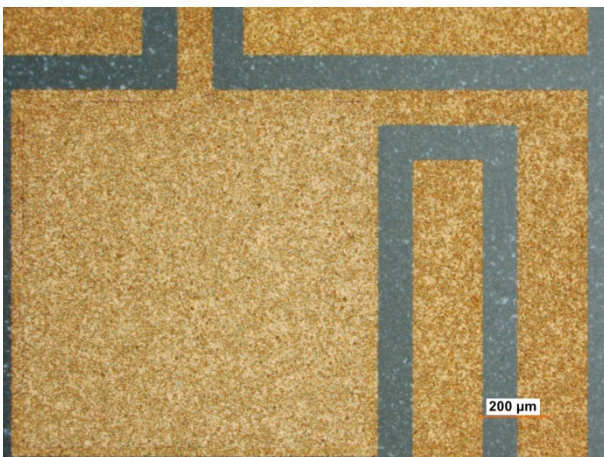


Abb. 71: vergleichende Aufsicht Pad auf AlN Substrat

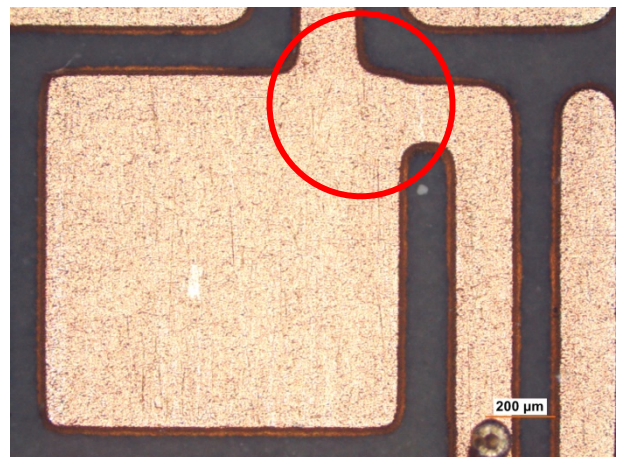


Abb. 72: vergleichende Aufsicht Pad auf IMS

- Entwicklung einer verdrehungsfreien Montage

Um der Verdrehung der Bauteile entgegenzuwirken und unabhängiger von der Unterseitenmetallisierung der Chips und den Padgeometrien auf dem Board zu sein, wird ein Prozess zur verdrehungsfreien Montage entwickelt.

Da die groben Designrules für das IMS-Board keine weitere Optimierung zulassen und eine Veränderung des SemiLEDs Chip außer Frage steht, musste das Problem der Verdrehung innerhalb des Aufbauprozesses berücksichtigt werden. Im IZM wurden hierbei zwei Ansätze verfolgt.

Im ersten Ansatz wurden die Chips während des Reflow mit einem adhäsiven Tool fixiert, das nach erfolgtem Assembly abgelöst wurde. Die Ergebnisse waren jedoch so unbefriedigend, dass keine weiteren Versuche durchgeführt wurden.

Beim zweiten Ansatz wird ein strukturiertes Tool verwendet, auf das die einzelnen Chips kollektiv platziert werden (Abb. 73). Das bestückte Tool wird dann seinerseits auf das Substrat geflippt und verbleibt während des Reflow auf dem Substrat (Abb. 74). Nach Abschluss des Reflowprozesses kann das Tool einfach abgehoben und wiederverwendet werden.



Abb. 73: vergleichende Aufsicht Pad auf AlN Substrat

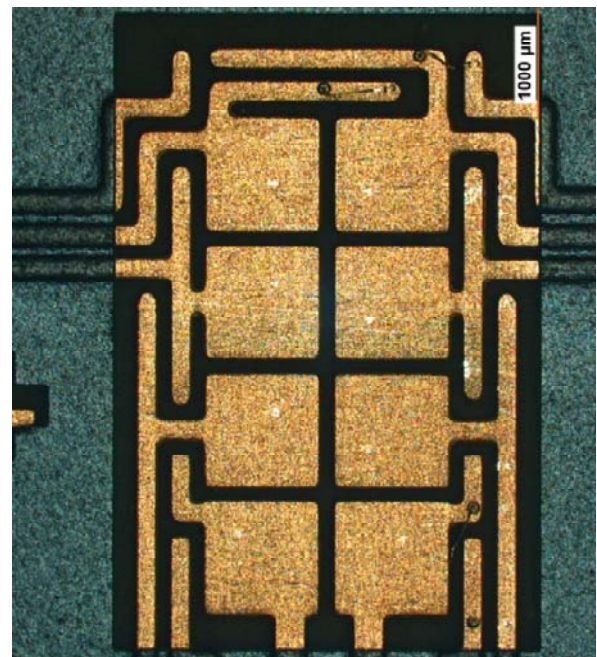


Abb. 74: vergleichende Aufsicht Pad auf IMS

Die so aufgebauten LED-Module weisen eine erheblich bessere Ausrichtung der LEDs (Abb. 75) gegenüber der Aufbauvariante ohne Tool (Abb. 65) auf. Selbst vereinzelte gedrehte Chips (Abb. 76) führen noch nicht zu Kurzschlüssen. Als problematischer erweist sich das mit der Zeit durch das Gold gewachsene und oxidierte Nickel, welches zu einer schlechten Benetzung bei dem flussmittelfreien Lötprozesses führt. Hierdurch werden einige LEDs nicht kontaktiert (Abb. 77), obwohl die Ausrichtung optimal ist. Abhilfe würde ein neues Batch an IMS-Boards schaffen oder als Übergangslösung das Applizieren einer geringen Menge Flussmittel.

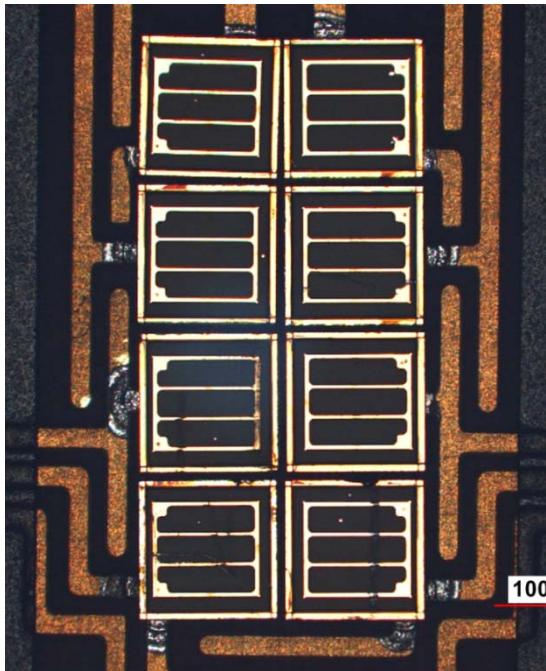


Abb. 75: vergleichende Aufsicht Pad auf AlN Substrat

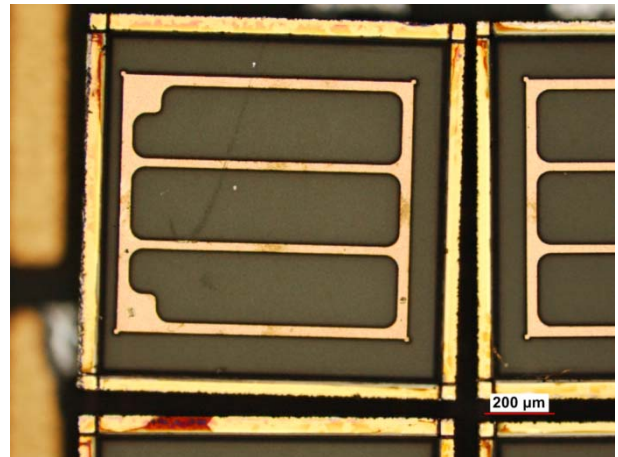


Abb. 76: vergleichende Aufsicht Pad auf IMS

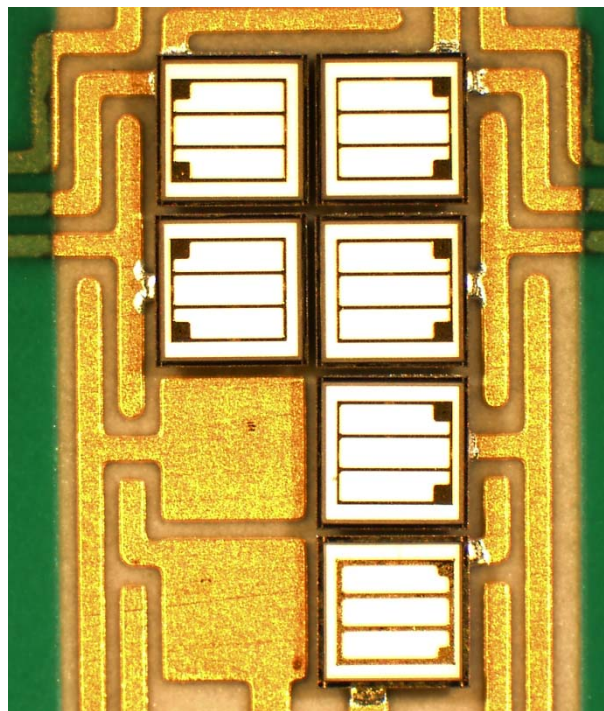


Abb. 77: vergleichende Aufsicht Pad auf AlN Substrat

AP 2: Konverterapplikation:

- Adaption weiterer Polymere als Konvertermatrix: Polyurethan

Silikon bietet sich aufgrund seiner hohen Temperaturstabilität, hohen Transmission und geringen optischen Alterung als Matrix für die Konverterpulver an. Die Verwendung von Silikon wurde im Rahmen des Projektes weiter optimiert. Ein Nachteil von Silikon stellt jedoch die schlechte Benetzung zum Bauteil und zu folgenden Schichten dar. Auch können Spuren von Silikon im Automobilbereich zu Problemen bei Lackierarbeiten führen und sollten deswegen weitestgehend vermieden werden. Dies haben wir zum Anlass genommen, auch Polyurethan für die Verwendung von Konverterfolien einzusetzen. Die Prozesse gestalten sich etwas schwieriger, da das Polyurethan erheblich langsamer aushärtet, als die Silikone. Die Adhäsion ist hervorragend, die Temperaturstabilität mit einem TG um 150 °C jedoch nicht für alle Anwendungen ausreichend. Eine optische Alterung wurde nicht beobachtet.

- Thermoanalyse von Konverterschichten in Anhängigkeit der Lichtintensität

Aufgrund der schlechten Wärmeleitung innerhalb der Konverterschichten und die hohe absorbierte Energie durch die Photonenstrahlung erwärmt sich der Konverter teilweise bis zur temporären Degradation seiner Effizienz. Um dies quantifizieren zu können, wurden in Zusammenarbeit mit odelo thermografische Aufnahmen verschiedener Konverterfolien bei verschiedenen LED-Leistungen gemacht.

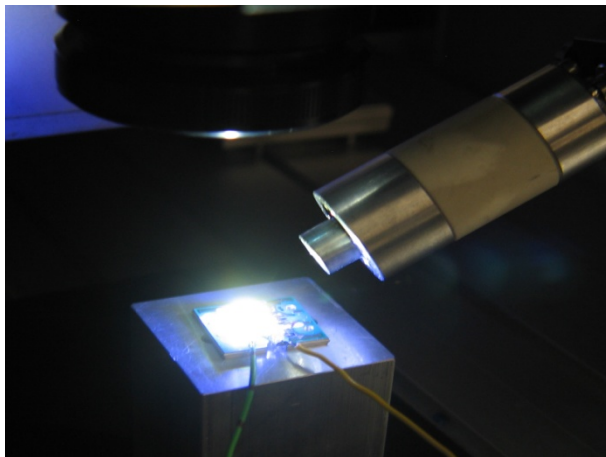


Abb. 78: Messaufbau für thermografische Analysen der Konverterfolien

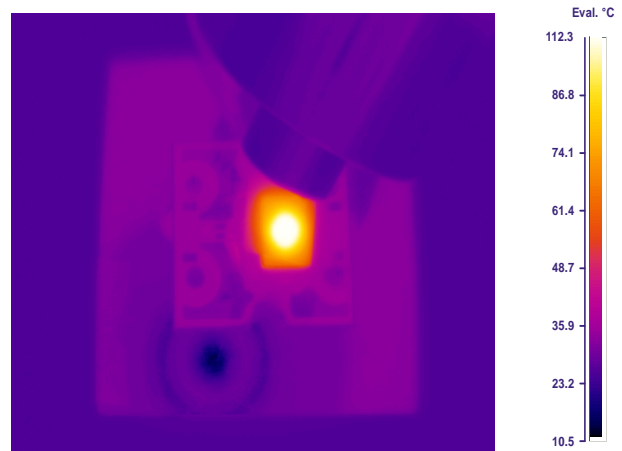


Abb. 79: Thermoscan einer bei 250 mA betriebenen Probe

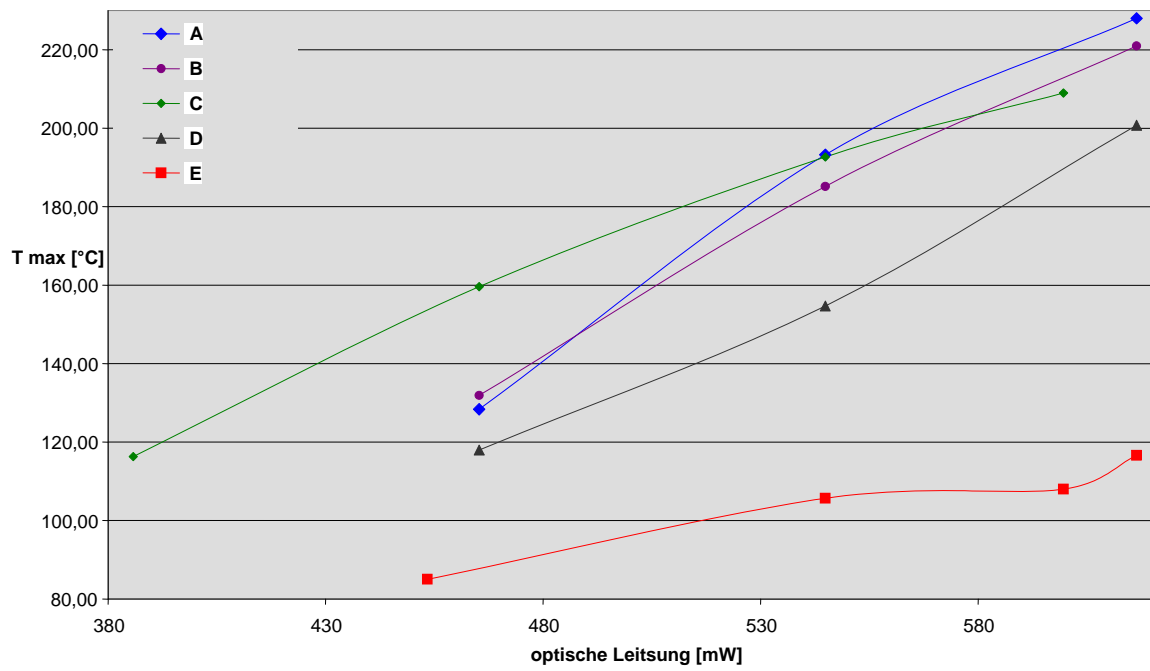
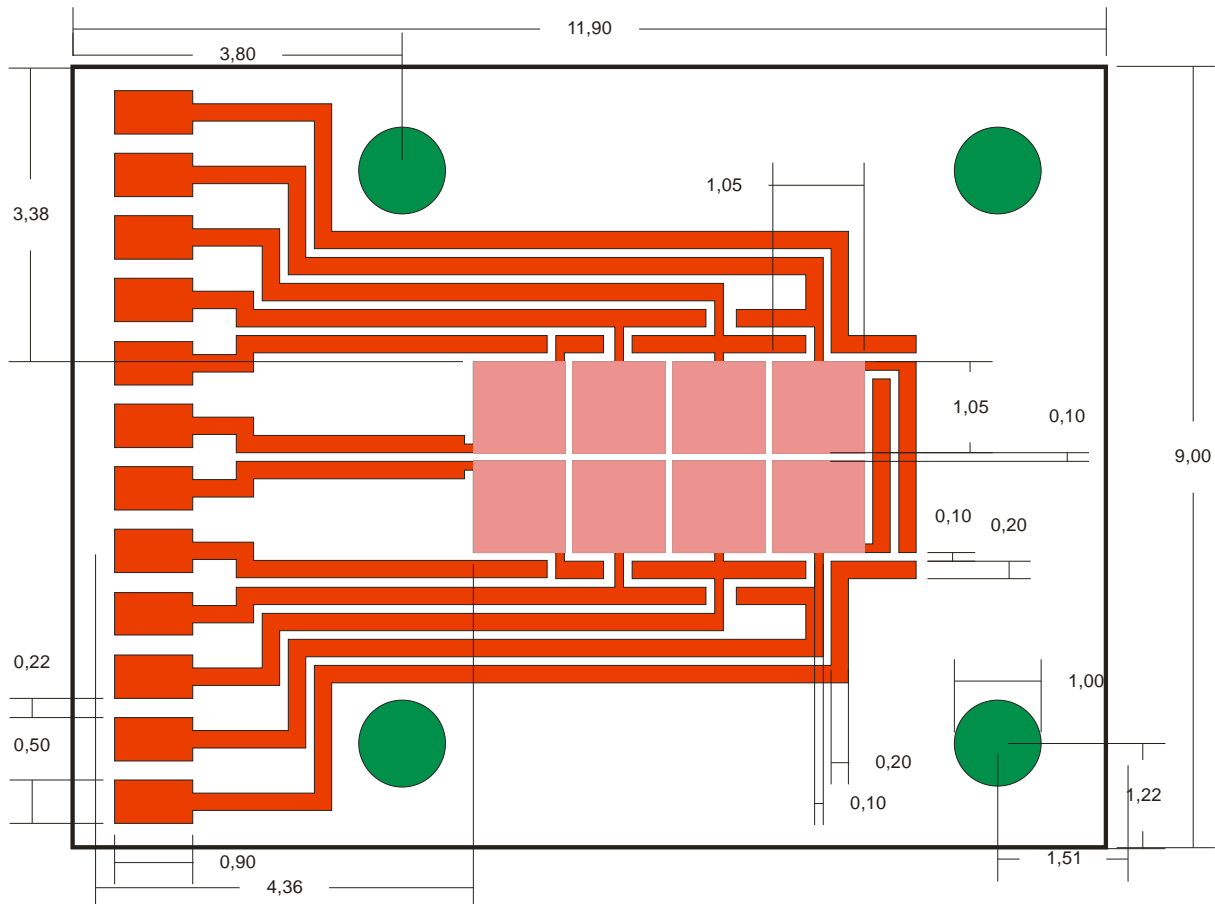


Abb. 80: Maximale Konvertererhitzung in Abhängigkeit der eingestrahlen optischen Leistung

AP 4: Herstellung und Test von Funktionsmustern:

- Design eines Testsubmounts für High- / Lowbeam

In Zusammenarbeit mit odelo wurde ein Design für einen Testsubmount entwickelt, der verschiedene Anordnungen von LEDs und Rahmen ermöglicht. Auf diese Boards können dann LEDs Die- und Draht gebondet werden. Nach dem Montieren des Rahmens können dann verschiedene Auftragsarten für den Konverter getestet werden.



- Aufbau von LEDs für optische und elektrische Tests und Auslagerungs- und Zykeluntersuchungen

Es wurden LEDs verschiedener Hersteller und aus verschiedenen Chargen mit verschiedenen Lötprofilen auf AIN Submounts gebondet. Diese Aufbauten wurden intern für Aufbauanalysen verwendet oder den Kooperationspartnern für Funktions- und Zuverlässigkeitsuntersuchungen zur Verfügung gestellt.

Weiterhin wurden ca. 300 LEDs eines Herstellers auf AIN Submount aufgebaut. Beim Drahtbonden hat sich herausgestellt, dass bis zu 10% der LEDs ausfallen. Da dies auch bei odelo geklebten LEDs auftritt und sowohl auf den Drahtbondanalgen des IZM als auch denen bei odelo scheint dies ein Problem des Chips zu sein. Ähnliche Probleme treten bei den LEDs des anderen Herstellers nicht auf.

Weiterhin wurden ca. 120 LEDs auf AIN Submounts und IMS Boards aufgebaut. Hierbei ist insbesondere auf den IMS Boards die Verdrehung verbesserungswürdig.

Es wurden zusätzlich ca. 40 MC-PCBs und 30 AIN-Boards mit SemiLEDs bestückt. Diese Boards werden odelo für weitergehende optische Aufbauversuche zur Verfügung gestellt.