

Hochbitratige Schaltungen mit InP-HBTs

Förderkennzeichen: 01 BP 285

Laufzeit: 1.01.2003 - 30.06.2005

Schlussbericht

Institutsleiter: Prof. Dr. G. Tränkle

Projektleiter: Dr. W. Heinrich

Autoren:
Dr. F. Brunner
Dr. P. Kurpas
Dr. C. Meliani
Dr. M. Rudolph
Dr. V. Sidorov
Dr. J. Würfl

Inhalt

- I. Aufgabenstellung und Rahmenbedingungen
- II. Wissenschaftlich-technische Ergebnisse
- III. Liste der Veröffentlichungen und Schutzrechtsanmeldungen

I. Aufgabenstellung und Rahmenbedingungen

Das Ziel des Forschungsvorhabens war die Entwicklung von integrierten Schaltungen für hochbitratige Kommunikationssysteme bei 80 GBit/s und mehr auf der Basis von InP-HBTs. Derartige Elektronik-Module sind Schlüsselkomponenten für die schnellen Datenetze der Zukunft. Deshalb bildet das Vorhaben einen wichtigen Beitrag zum Bereich "Schlüsselkomponenten, Technologien und Materialien" des Förderschwerpunkts "Multi-TeraNet".

Das Vorhaben umfasste das gesamte Aufgabenspektrum von der Epitaxie über die Prozessierung bis zu Schaltungsentwurf und Charakterisierung. Auf der Schaltungsseite lag der Schwerpunkt auf den Funktionsblöcken Eingangsverstärker, Taktregeneration und Treiber. Die Aktivitäten gliederten sich in die 3 Arbeitspakete Epitaxie, Prozesstechnologie und Schaltungen.

Das Projekt wurde gemeinsam mit dem FhG-IAF, Freiburg, und dem Fachgebiet Halbleitertechnik/Halbleitertechnologie der Universität Duisburg durchgeführt. Die Projektlaufzeit betrug insgesamt 2 Jahre und 6 Monate. Die Arbeiten wurden erfolgreich abgeschlossen. Die am FBH erzielten Ergebnisse sind im folgenden Abschnitt II ausführlich beschrieben.

II. Wissenschaftlich-technische Ergebnisse

1. Arbeitspaket 1 Epitaxie

Ziel dieses Arbeitspaketes war die Entwicklung der Epitaxie für InP-basierte Doppel-Heterobipolar-Transistoren (DHBT) und die Bereitstellung von Epi-Wafern für die Prozess- und Schaltungsentwicklung. Dazu eingesetzt wurde eine AIX2400G3 Multiwafer-MOVPE-Anlage des FBH. Diese Anlage wurde vor Projektbeginn hinsichtlich ihrer Tauglichkeit für phosphor-basierte Epitaxie umgerüstet.

Zu Projektbeginn stand neben Reproduktionstests nach der Wiederinbetriebnahme der Anlage die Entwicklung von Epitaxieprozessen für die Kohlenstoff-Dotierung der InGaAs-Basisschicht des DHBT im Vordergrund. Die elektrischen und strukturellen Eigenschaften der hoch p-dotierten Basisschicht sind entscheidend für die Funktion des Transistors im DC- und Hochfrequenz-Betrieb. Wichtigstes Ziel ist die Erreichung einer möglichst hohen p-Dotierung $N_{A,Basis}$ im InGaAs von mehr als $2 \times 10^{19} \text{ cm}^{-3}$ bei Schichtdicken im Bereich von 30...70 nm. Die hohen Dotierungen ermöglichen über die Reduktion des Basisbahnwiderstandes eine Erhöhung der maximalen Schwingfrequenz f_{max} , während dünne Basisschichtdicken zu geringen Transitzeiten und dementsprechend erhöhten Transitfrequenzen f_T führen.

Ein weiterer Schwerpunkt der Epitaxieentwicklung bestand in der Strukturoptimierung des Basis-Kollektor-Hetero-Übergangs. Ziel ist hier die weitestgehende Unterdrückung der InP-Kollektor-Leitungsbandbarriere, die zu einer teilweisen Stromblockade bei geringen Betriebsspannungen führt. Hierfür wurden die Konzepte InGaAs-Launcher, quaternäre Zwischenschicht (GaInAsP) und Pulsdotierung sowohl in der Simulation als auch im Experiment untersucht.

1.1 Wachstumsoptimierung InGaAs:C-Basisschicht

Im Hinblick auf die Abruptheit und Stabilität des Emitter-Basis-pn-Überganges wird Kohlenstoff (C) wegen seiner vergleichsweise geringen Diffusionsneigung als Dotierelement verwendet. Ausgangspunkt der Arbeiten waren die am FBH vorhandenen Erfahrungen mit der Kohlenstoff-Dotierung von GaAs, die im Rahmen der GaAs-HBT-Entwicklung erarbeitet worden waren. Das zu InP gitterangepasste ternäre Material $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}^1$ weist jedoch gegenüber dem binären Halbleiter GaAs spezifische Besonderheiten auf, die die C-Dotierung in der MOVPE erheblich erschweren. Zum einen führt das grundsätzlich amphotere Verhalten des Kohlenstoffs als Gruppe-IV-Element im Zusammenhang mit einer vergleichsweise schwachen In-C-Bindung zu einem verringerten Einbau auf As-Plätzen (C_{As}). Gleichzeitig ist eine erhöhte Kompensation durch C-Einbau auf dem Gruppe III-Untergitter festzustellen. Als Resultat ist die im GaAs mögliche intrinsische C-Dotierung des InGaAs allein mit den metallorganischen Gruppe-III-Ausgangsstoffen nicht möglich. Zum anderen führt die im Vergleich zum GaAs verstärkt auftretende Passivierung der C-Akzeptoren durch Wasserstoff zu einer weiteren Verringerung der elektrischen Leitfähigkeit im InGaAs:C.

Für HBT-relevante C-Dotierungen ist somit der Einsatz einer extrinsischen Dotierstoffquelle (Kohlenstofftetrabromid, CBr_4) bei stark abgesenkten Wachstumstemperaturen unvermeidbar. Letzteres ist zur Minimierung der Desorption kohlenstoffhaltiger Moleküle von der Oberfläche notwendig.

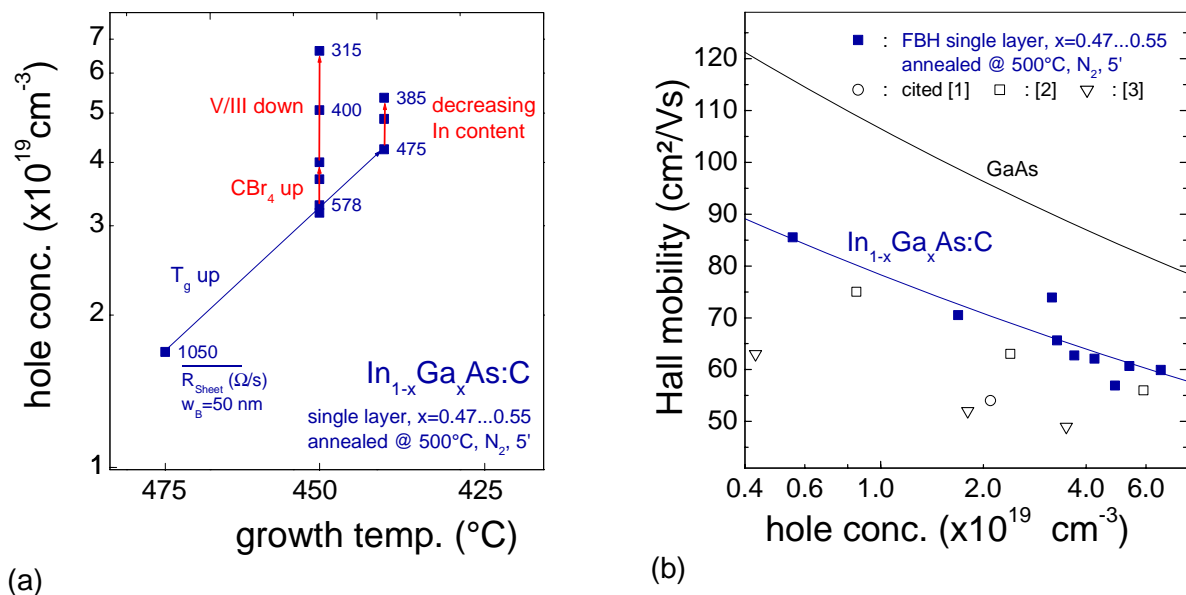


Bild 1.1: Löcherkonzentration in C-dotierten InGaAs-Einzelschichten (a) und Löcherbeweglichkeiten in hoch p-dotierten InGaAs-Schichten im Vergleich zu veröffentlichten Daten und zum binären GaAs (b);
Zitate: [1] Keiper et al., J. Cryst. Growth 197 (1999) 25; [2] Stillman et al., Mat. Res. Soc. Symp. Proc. 325 (1994)197; [3] Hamm et al., J Cryst. Growth 148 (1995) 1.

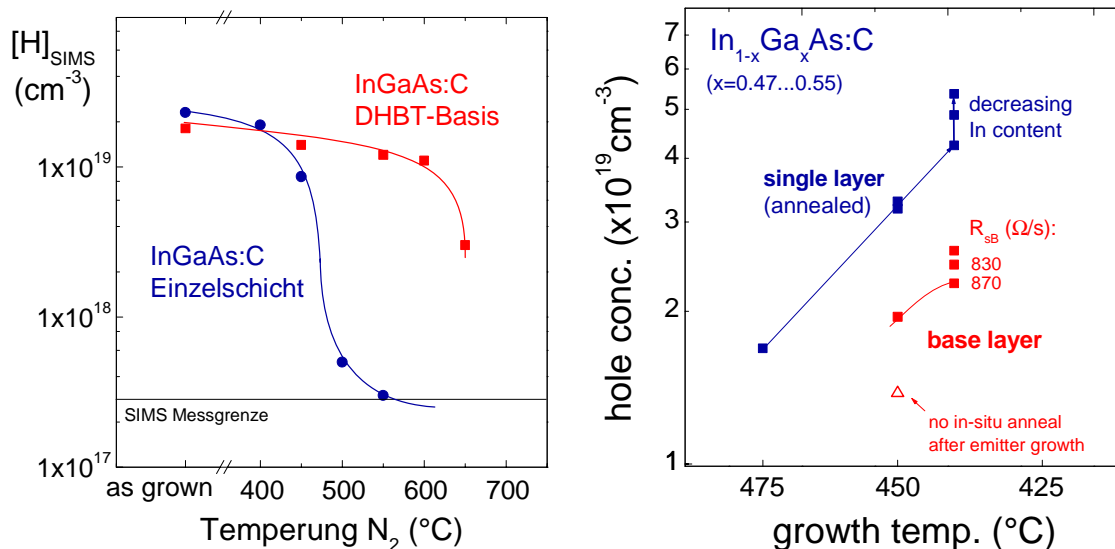
Bild 1 zeigt die erreichten Parameter. In Bild 1.1 (a) ist die p-Konzentration in InGaAs:C-Einzelschichten als Funktion der Wachstumsparameter Temperatur (T_g), V/III-Verhältnis und Partialdruck der extrinsischen Dotierstoffquelle Kohlenstofftetrabromid (CBr_4) darge-

¹ Im Folgenden bezieht sich die Bezeichnung ‚InGaAs‘ immer auf diese spezielle, gitterangepasste Zusammensetzung.

stellt. Die Schichten wurden im Anschluss an die Epitaxie bei einer Temperatur von 500°C für 5 Minuten in einer N₂-Atmosphäre getempert, um eine nahezu vollständige Aktivierung der C-Akzeptoren zu gewährleisten. In Bild 1.1 (a) wurde der jeweilige Schichtwiderstand einer 50 nm dicken Schicht ergänzt, um die potentiellen Verbesserungen dieses wichtigen Transistorparameters zu verdeutlichen.

Während bei einer Temperatur von 475°C maximal $p \sim 1,6 \times 10^{19} \text{ cm}^{-3}$ erreicht wurde, führt die weitere Temperatur-Absenkung auf 450°C zu Löcherkonzentrationen von mehr als $3 \times 10^{19} \text{ cm}^{-3}$. Bei einer Wachstumstemperatur von 450°C ist es möglich, die Dotierung durch Erhöhung des CBr₄-Partialdruckes und Absenkung des V/III-Verhältnisses auf über $6 \times 10^{19} \text{ cm}^{-3}$ zu steigern. Eine zusätzliche Erhöhung der C-Konzentration ist durch eine Indium-arme Zusammensetzung des InGaAs-Mischkristalls zu erreichen (siehe Messwerte bei T_g=440°C in Bild 1.1 (a)). Die Reduktion des In-Gehaltes von 53% im gitterangepassten Fall auf ca. 45% erhöht die Dotierung von ca. $4 \times 10^{19} \text{ cm}^{-3}$ auf $5,3 \times 10^{19} \text{ cm}^{-3}$. Die Gitterfehlانpassung beträgt in diesem Fall $\Delta a/a = -5600 \text{ ppm}$. Eine weitere Absenkung des In-Gehaltes ist aufgrund der zunehmenden Wahrscheinlichkeit einer Defektentstehung infolge Verspannungs-Relaxation nicht möglich².

In Bild 1.1 (b) werden die erreichten Löcher-Beweglichkeiten in InGaAs:C-Einzelschichten mit veröffentlichten InGaAs-Daten und dem binären GaAs verglichen. Die Löcher-Beweglichkeit im InGaAs:C sinkt von $\mu = 85 \text{ cm}^2/\text{Vs}$ bei $p \sim 0,6 \times 10^{19} \text{ cm}^{-3}$ auf $\mu = 63 \text{ cm}^2/\text{Vs}$ bei der höchsten Dotierung. Die gemessenen Werte belegen die guten Schichtqualitäten, die trotz der schwierigen Wachstumsbedingungen erreicht werden. Eine Wachstumstemperatur von 450°C stellt den besten Kompromiss hinsichtlich der erreichbaren Dotierhöhe und der für die Transistor-Stromverstärkung notwendigen Materialqualität dar.



(a) (b)
Bild 1.2: (a) Wasserstoff-Konzentration in InGaAs:C-Einzel- und Basisschichten in Abhängigkeit von der Temperatur bei der Temperung
(b) Löcherkonzentration in C-dotierten DHBT-Basisschichten als Funktion der Wachstumstemperatur, wobei Emitter- und Kontaktschichten vor der Hallmessung nasschemisch entfernt wurden.

² Eine ausführliche Untersuchung zur Verspannungs-Relaxation im Materialsystem InGaAs/InP findet sich bei G. Salviati et al., Appl. Surf. Science 188 (2002) S. 36ff.

Entsprechend den ermittelten Beweglichkeiten würden Basisdotierungen im Bereich $p=3 \times 10^{19} \text{ cm}^{-3}$ bis $5 \times 10^{19} \text{ cm}^{-3}$ zu Schichtwiderständen R_{SB} im Bereich 400...600 Ω/Sq (50 nm Schichtdicke) führen. Gemessene Basisschichtwiderstände an prozessierten Bauelementstrukturen zeigen jedoch deutlich höhere R_{SB} -Werte (ca. 1000 Ω/Sq), was auf eine zusätzliche Akzeptor-Passivierung in der HBT-Struktur hinweist. In der DHBT-Basisschicht kommen, verglichen mit der InGaAs:C-Einzelschicht, zwei zusätzliche Faktoren hinzu, die die effektive Basis-Dotierung bestimmen. Zum einen findet während der Wachstumsschritte nach der Basis eine zusätzliche Eindiffusion von Wasserstoff statt, die die Aktivierung der C-Akzeptoren durch Bildung neutraler C-H-Komplexe verringert. Zum anderen ist eine Temperung zur thermischen Ausdiffusion von H nach dem Wachstum der Kompletstruktur sehr viel weniger effektiv, da die n-dotierten Emitter- und Kontaktschichten eine Diffusionsblockade verursachen (vgl. Bild 1.2 (a)). Außerdem ist die Höhe der Temperatur bei der Temperung begrenzt, da bei zu hohen Temperaturen Defekte in der Basisschicht entstehen, die die Stromverstärkung begrenzen.

Eine weitere Erhöhung der effektiven Basisdotierung ist somit in erster Linie an eine Verringerung der H-Passivierung gekoppelt. Da der Wasserstoff-Einbau selbst aufgrund der zu verwendenden Ausgangsstoffe in der MOVPE nicht verhindert werden kann, muss ein geeigneter Prozess für eine Ausdiffusion aus der Schichtstruktur entwickelt werden. Der am FBH neu entwickelte Prozess einer in-situ-Temperung während des Schichtwachstums führt die H-Ausdiffusion bereits innerhalb des Epitaxiedurchlaufes durch. Grundlage ist die thermische Ausdiffusion des Wasserstoff unter N_2 -Atmosphäre bei 575°C auf einer InGaAs-Stabilisierungsschicht. Diese Temperatur ist ein Kompromiss zwischen einer möglichst effizienten H-Ausdiffusion und einer minimalen thermischen Schädigung des Basismaterials.

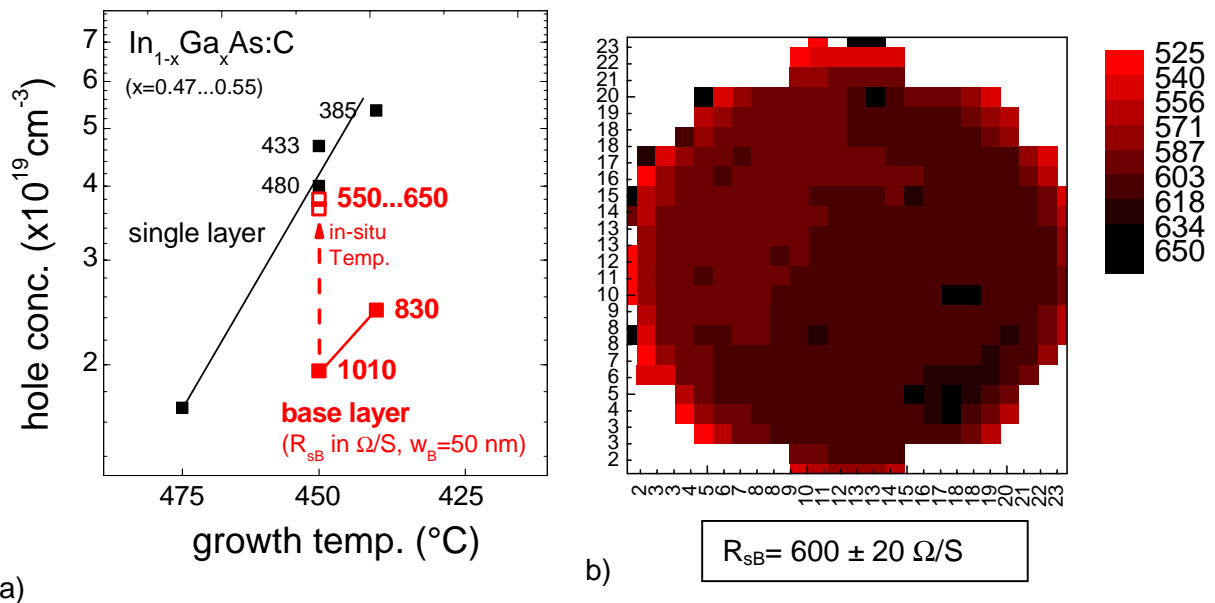


Bild 1.3: a) Löcherkonzentration in C-dotierten InGaAs-Einzelschichten (schwarz) und Basisschichten innerhalb einer DHBT-Struktur (rot); b) Parameter-Map des Basisschichtwiderstandes R_{SB} über 3 Zoll.

Die im Anschluss an die Temperung fortzusetzende Epitaxie der Kontaktschichten erfolgt bei einer niedrigeren Wachstumstemperatur, um die Eindiffusion von Wasserstoff zu minimieren. Kritischer Parameter ist die Dicke des Emitters und der Stabilisierungsschicht, die zum einen durchlässig genug sein müssen, um die H-Ausdiffusion bei höheren Tem-

peraturen zu erlauben, andererseits aber eine effektive Eindiffusionsbarriere bei niedrigeren Wachstumstemperaturen darstellen sollen.

Bild 1.3 (a) zeigt die Abhängigkeit der p-Konzentration in InGaAs:C-Einzelschichten und Basisschichten von den Wachstumsparametern Temperatur und der Anwendung des in-situ-Tempverfahrens. Die den Symbolen zugeordneten Zahlen entsprechen dem jeweiligen Schichtwiderstand einer 50 nm dicken Basisschicht. Das neu entwickelte in-situ-Tempverfahren führt zu einer deutlich höheren Akzeptor-Aktivierung, was an den erreichten Schichtwiderständen von ca. 600 Ohm/S abzulesen ist, die nah an denen der Einzelschichten mit nahezu vollständiger Aktivierung liegen. Die gemessenen Löcherkonzentrationen von mehr als $3.5 \times 10^{19} \text{ cm}^{-3}$ gehören zu den höchsten berichteten effektiven Dotierungen in $\text{In}_{0.5}\text{Ga}_{0.5}\text{As}$ -Basisschichten.

Bild 1.3 (b) zeigt den Map des Basisschichtwiderstand über einen 3"-Wafer für eine in-situ getemperte Basis. Die Homogenität der Dotierung und Schichtdicke genügt völlig den Anforderungen der Schaltungsentwicklung. Die DC-Eigenschaften der PCM-Transistoren sind vergleichbar mit denen der ungetemperten Strukturen, was zeigt, dass der Tempprozess keinen signifikanten Einfluss auf die Defektsituation der Basisschicht hat. In Tab. 1.1 werden die erreichten Schichtwiderstände für verschiedene Basisdicken verglichen.

Basisdicke	R_{sB} in Ω/S ohne in-situ-Temperung	R_{sB} in Ω/S mit in-situ-Temperung
50 nm	1000	600
30 nm	1600	900

Tab. 1.1: Basisschichtwiderstände für unterschiedliche $\text{In}_{0.5}\text{Ga}_{0.5}\text{As}$ -Basisdicken im Vergleich getempert und ungetempert Strukturen.

Eine Möglichkeit zur Verringerung der Basistransitzeit besteht im Einbau eines Driffeldes in die Basis. Im InP/InGaAs-DHBT kann dies durch eine Gradierung der Zusammensetzung des $\text{In}_{1-x}\text{Ga}_x\text{As}$ -Basismaterials realisiert werden. Eine Absenkung des Indium-Gehaltes am emitterseitigen Ende der Basis auf 45% führt zu einer Erhöhung der Bandlücken-Energie um ca. 0,09 eV. Diese Variante wurde standardmäßig bei den epitaxierten Wafern für die Transistor- und Schaltungsentwicklung verwendet. Eine weitere Verringerung des In-Gehaltes ist aufgrund der zunehmenden Gitterverspannung und der damit verbundenen abnehmenden kritischen Schichtdicke nicht möglich.

Zusammenfassend ist festzuhalten, dass bei der Optimierung der Epitaxie der InGaAs:C-Basisschicht wesentliche Fortschritte erzielt wurden, so dass im Projektverlauf rechtzeitig die für die hohen Grenzfrequenzen erforderlichen Schichtstrukturen bereitgestellt werden konnten.

1.2 Strukturoptimierung Basis-Kollektor-Heteroübergang

Ein weiterer Schwerpunkt der Epitaxieentwicklung bestand in der Strukturoptimierung des Basis-Kollektor-Heteroüberganges. Ziel dieser Arbeiten ist die weitestgehende Unterdrückung der InP-Kollektor-Leitungsbandbarriere, die zu einer teilweisen Stromblockade bei geringen Betriebsspannungen führt.

Die ersten realisierten DHBT-Strukturen wurden mit einer 50 nm dicken undotierten InGaAs-Launcher-Schicht zwischen Kollektor und Basis hergestellt. Hochfrequenz-Bauelemente mit diesem Basis-Kollektor-Aufbau zeigen im Anlaufbereich des Ausgangskennlinienfeldes jedoch eine Stromblockade (siehe Bild 1.5 (b): IHF-047), die durch die Wirkung des Leitungsbandoffsets zwischen Launcher und Kollektor erklärt werden kann.

Deshalb wurden zur Reduktion des Basis-Kollektor-Leitungsbandoffsets zunächst drei verschiedene Konzepte mit einem kommerziellen Bauelemente-Simulator (SILVACO Blaze) untersucht. Bild 1.4 (a) zeigt berechnete Bandstrukturen für DHBT-Varianten mit einer 50 nm InGaAs-Launcher-Schicht zwischen Basis und Kollektor (grün), einer zusätzlichen 20 nm dicken quaternären GaInAsP-Stufe ($E_g=1$ eV, blau) oder einem dünneren Launcher in Kombination mit einer Pulsdotierung ($n=1 \times 10^{19} \text{ cm}^{-3}$, rot). Während im Falle des alleinigen InGaAs-Launchers noch eine erhebliche, wenn auch versetzte, Leitungsband-Barriere sichtbar ist, wird diese durch die quaternäre 1 eV-Stufe teilweise und durch die Pulsdotierung nahezu vollständig abgebaut.

Die sich aus den Strukturvariationen ergebenden Änderungen im Transistorverhalten sind am Beispiel der Ausgangskennlinienfelder in Bild 1.4 (b) dargestellt. Deutlich sichtbar ist das verbesserte Anlaufverhalten im unteren Spannungsbereich in den Strukturen mit abgesenkter Barriere. Anzumerken ist, dass für diese Simulationen noch kein Modell des Durchbruch-Verhaltens (Stoßionisation) im Kollektorbereich berücksichtigt wurde.

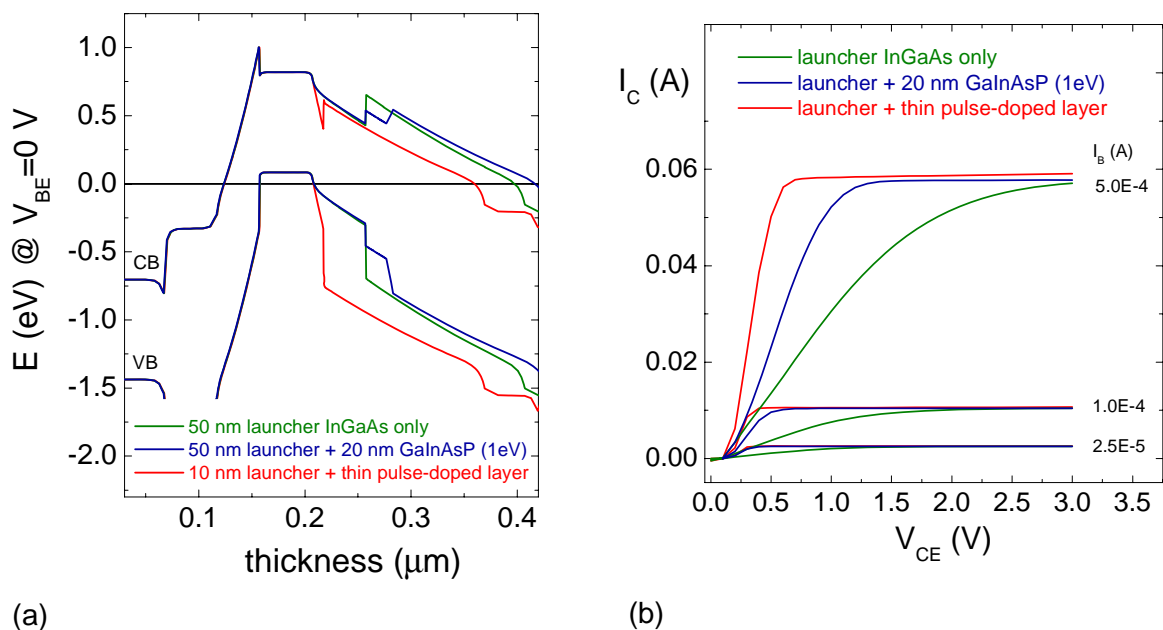
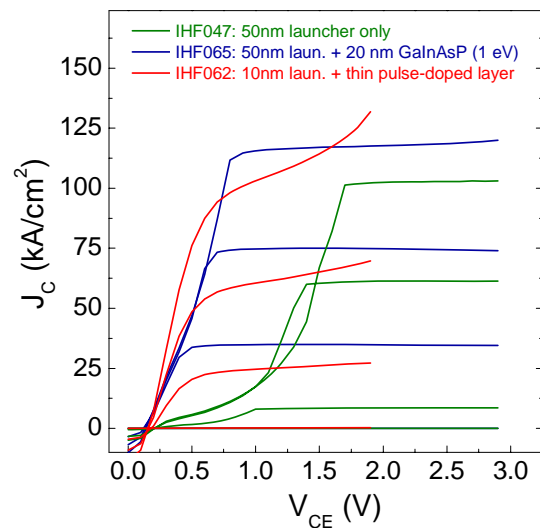
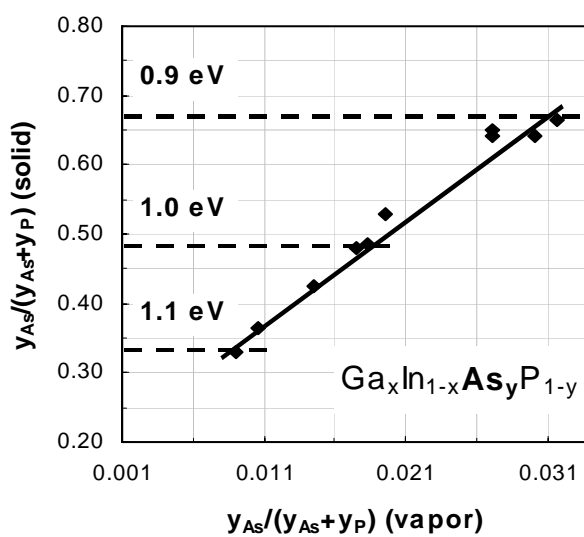


Bild 1.4: (a) Bandstruktur von InP/InGaAs-DHBTs mit unterschiedlichem Basis-Kollektor-Design: 50 nm InGaAs-Launcher, 20 nm GaInAsP (1 eV) zusätzlich zum Launcher und eine dünne pulsdotierte InP-Schicht auf einem 10 nm InGaAs-Launcher;
 (b) Berechnete Ausgangskennlinienfelder (Emitterschaltung) für die jeweiligen DHBT-Strukturen mit unterschiedlichem Basis-Kollektor-Design.

Bei der Epitaxie des quaternären Mischkristalls $\text{Ga}_x\text{In}_{1-x}\text{As}_y\text{P}_{1-y}$ ist vor allem der sehr unterschiedliche Dampfdruck von As und P zu beachten, was zu einem hohen As-Verteilungskoeffizienten ($y_{\text{solid}}/y_{\text{vapor}}$) führt (vgl. Bild 1.5 (a)). Die Material-Zusammensetzung im quaternären System wurde durch Vergleich von XRD-Messungen (Gitterfehl-anpassung) und Photolumineszenz-Messungen (Bandlücke) ermittelt.

Zum Vergleich einer ein- und zweistufigen Gradierung wurden sowohl eine Zusammensetzung mit einer Bandlücke von 1 eV als auch Versionen mit 0.9 eV und 1.1 eV entwickelt. Bauelementestrukturen mit verschiedenen Varianten dieser Stufengradierung wurden dem Projektpartner IAF für die Prozessentwicklung zur Verfügung gestellt. Im FBH wurden Transistorstrukturen mit einstufiger GaInAsP-Schicht (20 nm) und einer Bandlücke von 1 eV prozessiert. Bei der Entwicklung der Pulsdotierung wurde zunächst eine 2 nm dünne InP:Si Schicht mit einer nominellen Dotierung von $1 \times 10^{19} \text{ cm}^{-3}$ vor einer 10 nm dicken InGaAs-Launcher-Schicht verwendet. Die Struktur mit Pulsdotierung hat den Vorteil, dass bei der Prozessierung kein zusätzlicher Ätzschritt für das quaternäre Material notwendig ist.

In Bild 1.5 (b) sind gemessene Ausgangskennlinien von InP/InGaAs-DHBTs mit den beschriebenen Variationen in der Basis-Kollektor-Struktur dargestellt. Zu erkennen ist eine qualitativ gute Übereinstimmung mit den simulierten I_C - V_{CE} -Verläufen (siehe Bild 1.4 (b)), was auf die Anwendbarkeit der verwendeten Modelle verifiziert. Der Wafer IHF065 mit einer 20 nm dünnen GaInAsP-Zwischenschicht zeigt bereits ein deutlich verbessertes J_C -Anlaufverhalten, die Einsatzspannung liegt unter 0,5 V. Obgleich die Struktur mit Pulsdotierung das beste Einsatzverhalten aufweist, ist dort noch eine unzureichende Durchbruch-Spannung zu verzeichnen. Hier könnte eine weitere Verringerung der Dicke und Dotierung der Pulsdotierung im Zusammenhang mit einer Änderung der Launcher-Dicke zu Verbesserungen führen.



a)

b)

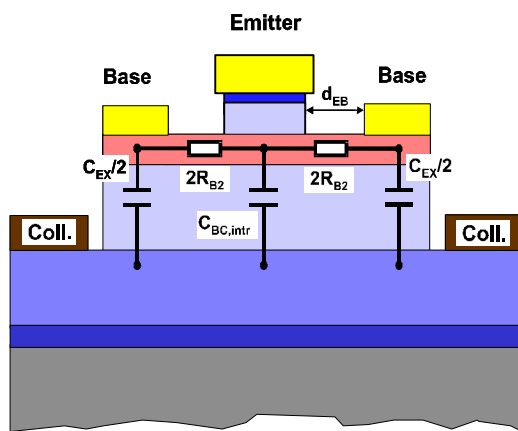
Bild 1.5: a) Ergebnisse der Epitaxieentwicklung von quaternärem GaInAsP: Aus XRD- und PL-Messungen abgeschätzter As-Gehalt im Festkörper als Funktion des Angebotes in der Gasphase.
b) Gemessene Ausgangskennlinienfelder (Emitterschaltung) für DHBT-Strukturen mit unterschiedlichem Basis-Kollektor-Design.

Insgesamt wurden im Projektzeitraum im Rahmen der Material- und Prozessentwicklung am FBH 230 InP-DHBT-Wafer (3 Zoll) bereitgestellt (ohne Berücksichtigung von Kalibrieruns). 90 Wafer wurden an den Projektpartner IAF geliefert.

2. Arbeitspaket 2 Prozesstechnologie

Im Rahmen des Projektes wurden insgesamt 268 HBT-Wafer in 54 Prozessdurchläufen bearbeitet. Davon entfallen 137 Wafer auf die ausschließliche Charakterisierung von Epitaxie-Variationen und somit auf die Entwicklung der HBT-Schichtstruktur und des Epi-Materials. Nahezu 50 % der prozessierten Wafer dienten der Prozessentwicklung für die HBT-Schaltungen.

Im Vordergrund der Prozessentwicklungen stand die Reduktion der parasitären Größen der einzelnen Transistorzellen mit dem Ziel, möglichst hohe Grenzfrequenzen zu erreichen. Während die Transitfrequenz f_T aufgrund von Laufzeiteffekten wesentlich vom Aufbau der Epitaxieschicht abhängt, wird f_{max} entsprechend Gleichung 2.1 von parasitären Größen dominiert, die durch die Prozessführung in großem Maße beeinflussbar sind.



$$f_{max} = \sqrt{\frac{f_T}{8\pi R_B C_{BC,ges}}} \quad (2.1)$$

Bild 2.1: Parasitäre Elemente des HBTs im schematischen Ersatzschaltbild (links); $C_{BC,ges}$ in Gl. (2.1) setzt sich aus $C_{BC,intr}$ und C_{EX} zusammen.

Die Entwicklung des InP-HBT Prozesses zur Realisierung hoher Grenzfrequenzen umfasste daher die nachstehenden Schwerpunkte:

- Reduzierung der Emitterfinger-Abmessungen auf einen Bereich von wenigen μm^2
- Entwicklung einer nasschemischen Technologie zur Realisierung der Emitterstrukturen. Ein wichtiger Schwerpunkt dieser Techniken ist die Entwicklung von Ätzverfahren, die einerseits selbststoppend auf den dünnen Basisschichten wirken, andererseits einen definierten Unterschnitt des Emitters bewirken, der wiederum eine selbstjustierende Metallisierung der Basis ermöglicht.
- Realisierung von selbstjustierenden Basisstrukturen
- Entwicklung von Unterätztechniken zur weiteren Reduzierung der Basis-Kollektor-Kapazität
- Kapazitäts- und induktivitätsarme Kontaktierung der filigranen Emitter- und Basisstrukturen. Am FBH wurde hierzu eine BCB-Planarisierungstechnologie in Verbindung mit entsprechenden trockenchemischen Rückätztechniken entwickelt.

Die Ergebnisse sind in den folgenden Abschnitten zusammengefasst.

2.1 Emittertechnologie für selbstjustierende Basismetallisierung

Bei selbstjustierten Basiskontakten wirkt der Emitter selbst als Lithographiemaske (Schattenmaske) im Bereich der Emitterkanten und definiert somit einen minimal möglichen lateralen Abstand d_{EB} zwischen der Basis- und der Emitter-Elektrode. Voraussetzung für eine erfolgreiche selbstjustierende Technologie ist ein reproduzierbarer Unterschnitt unter der

Emitterelektrode, so dass bei der Metallisierung der Basis Kurzschlüsse zwischen Basis- und Emittermetall vermieden werden (siehe Skizze und REM-Bild in Bild 2.2).

Diese Zielstellung konnte durch die Einstellung der Dicken der Epitaxieschichten erreicht werden, so dass bei einer bestimmten lateralen Anordnung der Emittersesa zur Kristallorientierung des Wafers der gewünschte Unterschnitt durch einen nasschemischen Ätzschritt erzeugt wird. Die maximal mögliche Dicke der Basismetallisierung ist dann durch die Dimensionierung der Emitterschichten bestimmt.

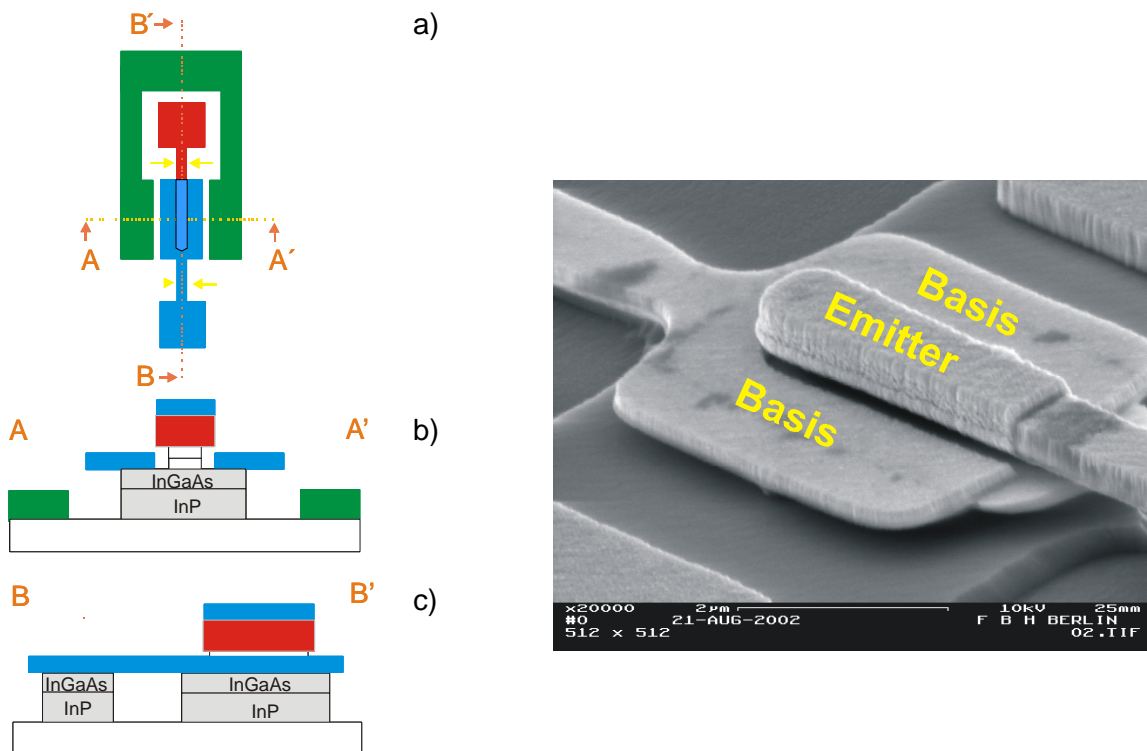


Bild 2.2: Schematische Darstellung des selbstjustierenden Basisprozesses und der kapazitätsarmen Basiskontaktierung: Draufsicht (a), Querschnitt A-A' (b), Querschnitt B-B' (c) sowie REM-Aufnahme eines selbstjustierten Transistors (rechts).

2.1.1 In-situ-kontrolliertes nasschemisches Emittérätzen (SSEC-Ätzprozessor)

Das Ausmaß der bei der Durchführung von nasschemischen selektiven Ätzprozessen immer auftretenden lateralen Unterätzung ist sehr schwer kontrollierbar, da unmittelbar nach Erreichung des Ätzstopps eine sehr schnelle laterale Ätzwirkung auftritt. Daher ist es notwendig, den Zeitpunkt des Erreichens des Ätzstopps genau zu erkennen, um daraufhin den gesamten Ätzprozess kontrollierbar stoppen zu können. Zur besseren Kontrollierbarkeit des nasschemischen Ätzens wurde aus Projektmitteln ein mit einem optischen Endpunkterkennungssystem ausgestatteter Ätzprozessor (Fa. Solid State Equipment Corporation, SSEC) beschafft und in Betrieb genommen. Das Endpunkterkennungssystem detektiert die beim Ätzen unterschiedlicher Epitaxieschichten auftretenden Farbänderungen und steuert den Ätzprozess in Abhängigkeit des beim Durchätzen der Epitaxieschichten auftretenden Farbumschlags.

Bild 2.3 zeigt den am FBH installierten Ätzprozessor und Details der Prozesskammer. Das im rechten Bild auf dem Wafer zu erkennende Rechteck markiert den Detektionsbereich

des optischen Sensors (CCD-Kamera) zur Endpunkterkennung. Die rechts unten dargestellte Kurve des RGB-Signals der CCD-Kamera repräsentiert einen InGaAs-Ätzprozess mit einem markanten Farbumschlag, der auftritt, sobald die Ätzfront auf die darunter liegende InP-Schicht trifft.

Die dargestellten Kurven zeigen den Farbverlauf von zwei hintereinander geätzten Wafern mit gleichen Epitaxieschichten. Die beiden Kurven liegen praktisch identisch übereinander und demonstrieren die gute Reproduzierbarkeit des Prozesses.

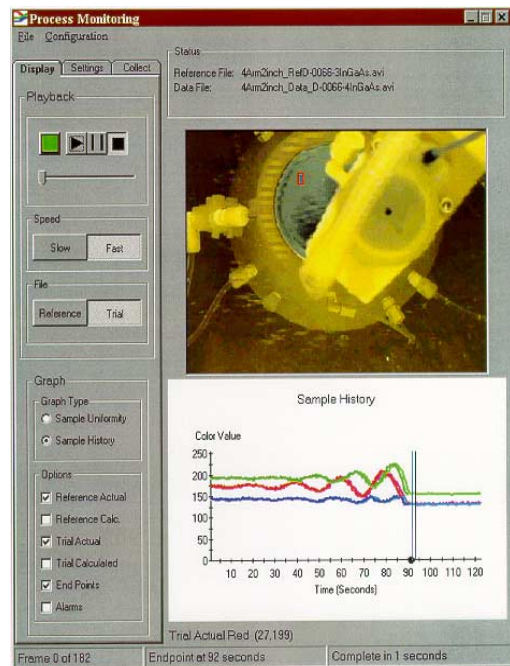


Bild 2.3: Links: Im FBH-Reinraum installierter SSEC-Ätzprozessor
Rechts: Prozesskammer des Ätzprozessors (Bild oben) und Verlauf des Ausgangssignals des Endpunkterkennungssystems bei zwei hintereinander geätzten InGaAs-Schichten (Kurven liegen direkt übereinander)

Die nasschemische Ätzung der sub- μm großen Strukturen erwies sich jedoch als eine besondere Herausforderung in Hinblick auf die Prozessstabilität. Maskierungseffekte infolge des Lackauftrags wie auch epi-bedingte Grenzschichten führten häufig zu schwankenden Ätzraten wie auch zu zum Teil massiven Ätzresten. Diese Problematik hatte begrenzte Auswirkung auf die erreichbare HBT-Ausbeute und sie konnte im Zeitrahmen des Projektes nicht wirklich befriedigend gelöst werden.

2.2 Luftbrückentechnik zur Kontaktierung von Basis und Emitter

Die Kontaktierung der aktiven Emitter- und Basisflächen erfolgt über unterätzte Metallisierungen, die als kapazitäts- und induktivitätsarme Verbindungsstege zu einer sogenannten Dummy-Mesa führen. Diese besteht aus einem elektrisch isolierten Landestützpunkt, von dem aus die weitere Verbindungstechnik in konventioneller Chiptechnologie erfolgt. Die Epitaxieschichten unter den Stegen werden durch geeignete nasschemische Ätzschritte entfernt, so dass die Dummy-Mesa galvanisch komplett von den aktiven Bereichen isoliert ist. Um einen Ätzangriff unter den Stegen sicher zu stellen, muss dieser um 45° zur Hauptphase des Substrates (110-Richtung) orientiert sein. Bild 2.4 zeigt die entsprechenden Stegstrukturen sowohl zur Kontaktierung des Emitters als auch der Basis.

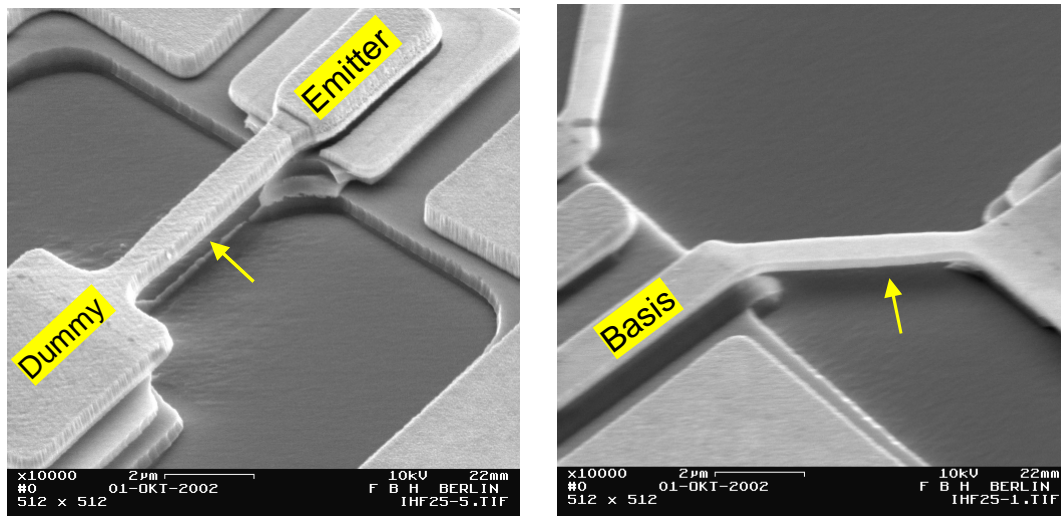


Bild 2.4: Kontaktierung der aktiven Bereiche über Dummy-Mesa-Strukturen und unterätzte Stege. Transistoranordnung links 45° zu (110), Steganordnung rechts 45° zu (110).

2.3 Verbindungstechnik für hohe Integrationsdichte: BCB-Technologie

Die konventionelle Emitter- und Basis-Elektrodenanordnung benutzt sogenannte Dummy-Mesastrukturen (Bild 2.4), um die vergleichsweise kleinen aktiven Bereiche der Transistoren durch schmale Stege zu kontaktieren. Diese Technik erfordert jedoch großen Platzbedarf und verursacht zusätzliche parasitäre Induktivitäten, Kapazitäten und Widerstände, welche die Hochfrequenzeigenschaften der Transistoren verschlechtern. Im Sinne einer hohen Integrationsdichte bei gleichzeitig extrem hoher Grenzfrequenz der aktiven Bauelemente ist daher eine direkte Kontaktierung und Verschaltung der Transistorzellen untereinander anzustreben.

Mit dieser Zielstellung vor Augen wurde deshalb eine alternative Technik auf Basis von BCB (Bisbenzocyclobuten)-Planarisierungsschichten entwickelt. Damit können sowohl die Emitteranschlüsse als auch die Basisanschlüsse direkt über Luftbrücken oder Leitbahnen kontaktiert werden, der Umweg über Dummy-Mesastrukturen, wie in Abschnitt 2.2 gezeigt, entfällt.

Bild 2.5 zeigt die Prozessfolge unter Verwendung von BCB. Nach der Emitter- und Basismetallisierung und -mesa (Schritt 1) wird BCB ganzflächig im Spin-on-Verfahren aufgebracht (Schritt 2). Der Auftrag der BCB-Schicht ist hierbei so optimiert, dass die planarisierende Wirkung über den Wafer möglichst ideal ist. Dies vorausgesetzt, können die Emitterspitzen durch homogenes Rückätzen der BCB-Schicht freigelegt werden (Schritt 3). Im Detail waren gerade zu den Schritten 2 und 3 umfangreiche technologische Arbeiten durchzuführen, um die erforderliche Homogenität der Schichtdicke über den Wafer und die Homogenität der glanzflächigen trockenchemischen Rückätzung auf jeweils unter 5% einzustellen. Nach der ganzflächigen Rückätzung werden die nicht mehr benötigten BCB-Bereiche über eine Fotolackmaske trockenchemisch entfernt (Schritt 4). Die nachfolgenden Schritte entsprechen denen der konventionellen Technologie.

Durch die BCB-Technologie wird der Platzbedarf für einen InP-HBT um über 50% verringert, so dass die Transistoren viel dichter integriert werden können (Bild 2.6). Parasitäre Impedanzen, welche die Hochfrequenzeigenschaften der Transistoren begrenzen, werden minimiert.

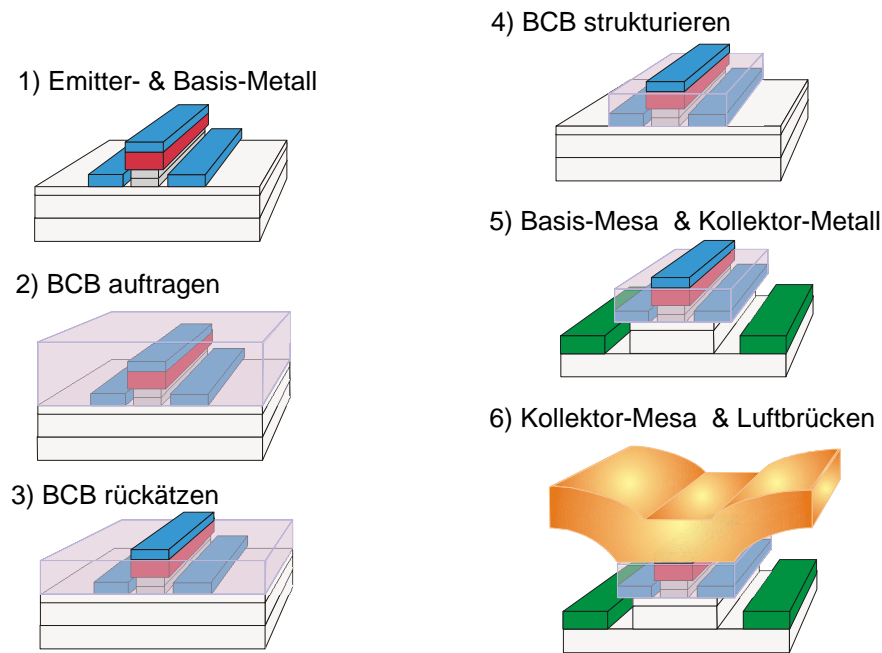


Bild 2.5: Schematische Darstellung des HBT-Prozesses mit BCB-Planarisierung und ganzflächiger Rückätzung.

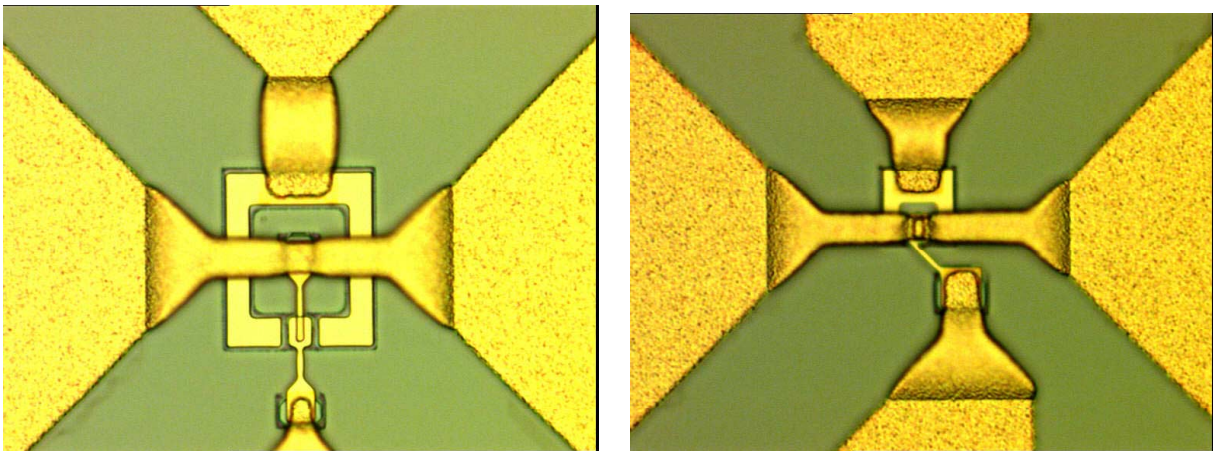


Bild 2.6: Vergleich des konventionellen HBT (links mit Dummy-Emitter) mit BCB-HBT (rechts).

2.4 Ex-situ-Ausdiffusion des Wasserstoffs aus der InGaAs-Basis

Die C-Dotierung der MOVPE-gewachsenen InGaAs-Basisschichten ist nach dem Epi-wachstum aufgrund der Passivierung der Akzeptoren mit Wasserstoff nur unvollständig aktiviert (vgl. Abschnitt 1.1). Der Basisschichtwiderstand, beispielsweise für 50 nm Basisdicke, liegt bei den aktuellen MOVPE-Schichten bei ca. 1000 Ω/sq und könnte bei 100% Aktivierung auf etwa 500 Ω/sq reduziert werden. Die nachstehend beschriebenen Entwicklungsarbeiten konzentrierten sich darauf, den Wasserstoff aus der Schicht auszutreiben. Der dazu nötige RTA-Temperschnitt bei 500°C (5 min) wird nach dem Emitterätzen durchgeführt und damit der Wasserstoff aus der freien Basisoberfläche ausdiffundiert.

Wie in Tab. 2.1 zusammengestellt, verringerte sich der extrinsische Basisschichtwiderstand R_{s_be} nach dem Tempern deutlich. Damit konnte gezeigt werden, dass die ex-situ-Aktivierung der Akzeptoren in der Basis sehr wirksam ist. Trotz dieser vielversprechenden Ergebnisse war jedoch die Integration dieses Prozessschritts in den gesamten Prozessablauf nicht erfolgreich, weil veränderte Eigenschaften der Basisoberfläche infolge des Temperns zu Problemen beim nasschemischen Ätzen der Basis führten. Als Abhilfe wurde deshalb das in-situ Tempern während der Epitaxie der Emitterschichten (siehe 1.1) als Standardverfahren eingeführt.

Wafer	Tempern in RTA	R_{s_be} (ohm/sq)
IPA02-17	Ohne	1396
IPA02-20	500 °C, 5 min	950
IPA02-21	Ohne	1293
IPA02-22	500 °C, 5 min	506

Tab 2.1: Testergebnisse der Temperung in RTA

2.5 Bauelement-Ergebnisse

Die optimierten HBT-Wafer basieren auf der in Tab. 2.2 dargestellten Schichtstruktur.

Schicht	Dicke	Dotierung
InGaAs (Emitter-Cap)	70 nm	$3 \times 10^{19} \text{ cm}^{-3}$
InP (Emitter-Cap)	55 nm	$2 \times 10^{19} \text{ cm}^{-3}$
InGaAs (Cap in-situ Tempern)	5 nm	$6 \times 10^{17} \text{ cm}^{-3}$
InP (Emitter)	30 nm	$6 \times 10^{17} \text{ cm}^{-3}$
InGaAs (Basis mit 2kT Grading)	30 nm	$2 \times 10^{19} \text{ cm}^{-3}$
InGaAs (Kollektor-Launcher)	30 nm	Nicht dotiert
InGaAsP (Kollektor-Grading)	20 nm	Nicht dotiert
InP (Kollektor)	100 nm	Nicht dotiert
InP (Kollektor)	100 nm	$1 \times 10^{19} \text{ cm}^{-3}$
InGaAs (Sub-Kollektor)	200 nm	$1 \times 10^{19} \text{ cm}^{-3}$
InP (Puffer)	100 nm	Nicht dotiert
InP-Substrat		

Tab. 2.2: Am FBH eingesetzte „Standardstruktur“ zur Entwicklung und Optimierung des InP-HBT-Prozesses.

Für den InP-DHBT-MMIC-Prozess werden insgesamt 13 Maskenebenen benötigt. Die passiven Bauelemente (MIM-Kondensatoren, Induktivitäten, Dünnschichtwiderstände, Koplanarleitungen) wurden aus dem am FBH entwickelten GaAs-HBT-MMIC-Prozess übernommen. Tab. 2.3 gibt an, welche Ebenen für den MMIC-Prozess verwendet werden.

Aufgrund der geringen Abmessungen der HBTs wurde die Luftbrückentechnik dergestalt aufgeteilt, dass im ersten Schritt nur die HBTs mit einer Au-Galvanikdicke von 1 μm ankontaktiert werden (Ebene F2), im zweiten Schritt dann die Koplanarleitungen mit einer Au-Galvanikdicke von insgesamt 3,5 μm vervollständigt werden (Ebene F3).

Nr.	Kürzel	Bezeichnung
1	E1	Emittermetall und Emittermesa
2	B1	Basismetall
3	BCB	BCB-Strukturierung
4	B2	Basismesa
5	K1	Kollektormetall
6	K2	Kollektormesa
7	M1	untere MIM-Elektrode + R-Anschluss
8	R	Dünnschichtwiderstand (NiCr)
9	P	Passivierung (PECVD-SiN _x)
10	P1	SiN _x -Passivierungsöffnung
11	F1	Galvanikgrundmetallisierung
12	F2	Galvanik I (Luftbrücken im Bereich der HBTs)
13	F3	Galvanik II (Luftbrücken im Bereich der Koplanarleitungen)

Tab. 2.3: Herstellungsablauf des InP-DHBT-MMIC-Prozesses.

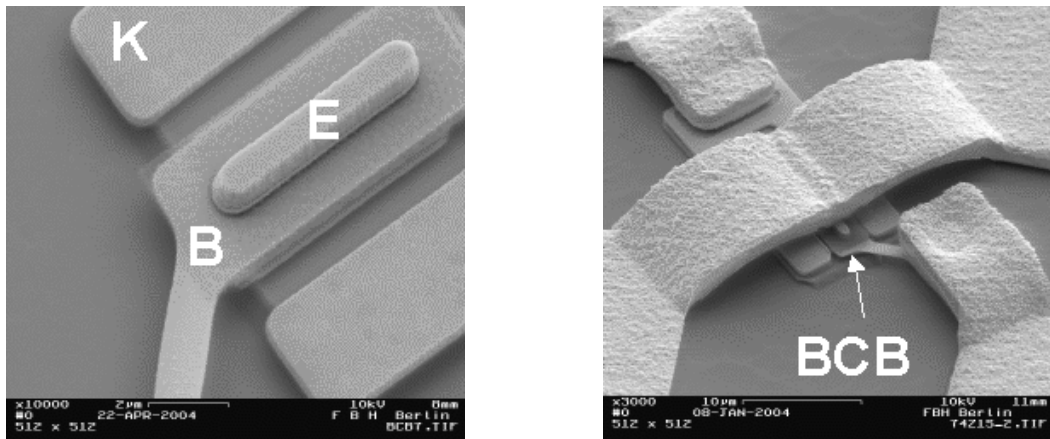


Bild 2.7: InP-DHBT (Emitterfläche A_E : $0.8 \times 6 \mu\text{m}^2$, links: nach der K2-Ebene, rechts: nach Prozessende).

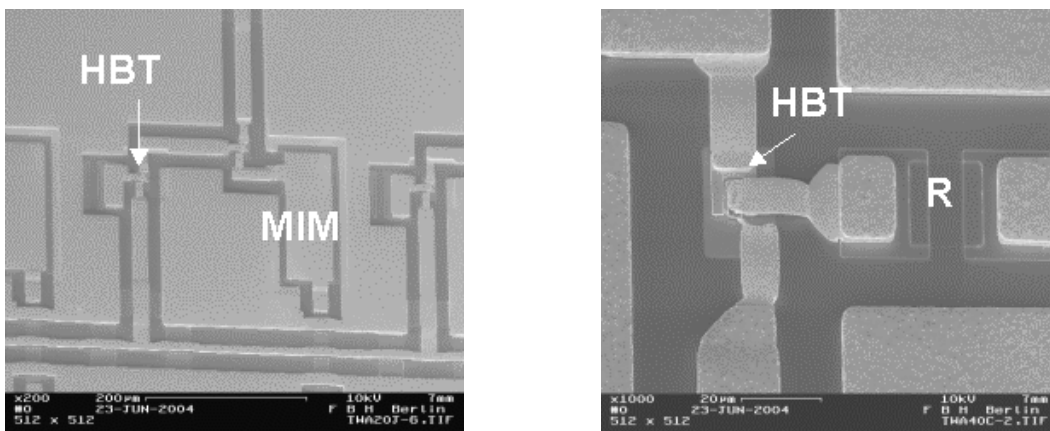


Bild 2.8: Detailaufnahmen einer Schaltung (TWA) in InP-DHBT-MMIC-Technologie (links: HBT und MIM-Kondensator, rechts: HBT und NiCr-Dünnschichtwiderstand).

Der Schichtwiderstand der NiCr-Dünnschichtwiderstände beträgt $50 \Omega/\text{sq}$, der Kapazitätsbelag der SiN_x -MIM-Kondensatoren $500 \text{ pF}/\text{mm}^2$. Die koplanaren Spiralinduktivitäten erreichen Induktivitäten bis 23 nH . Bild 2.7 zeigt die InP-DHBTs vor und nach der galvanischen Ankontaktierung, in Bild 2.8 sind Detailaufnahmen aus Schaltungen dargestellt.

2.5.1 Hochfrequenzeigenschaften

Zur Optimierung des Transistorlayouts wurden drei Reticlesätze mit unterschiedlichen Transistorlayouts und Skalierungen verschiedener Layoutgrößen hergestellt. Diese Maskensätze bildeten die Grundlage für die Realisierung der MMIC-Schaltungen. Diese Untersuchung wurde durchgeführt, bevor in-situ getemperte Epitaxieschichten zur Verfügung standen. Der im Vergleich hohe Basisschichtwiderstand begrenzt f_{max} auf maximal 180 GHz . Für die Optimierung des Layouts ist der absolute Wert jedoch nicht von signifikanter Bedeutung. Auf in-situ getempertem Material wurden mit optimiertem Layout Grenzfrequenzen f_t und f_{max} von 270 GHz erreicht.

Für diese Untersuchungen wurde die Emitterlänge bei einer konstanten Emitterbreite von $0,8 \mu\text{m}$ im Bereich $3 \mu\text{m}$ bis $12 \mu\text{m}$ variiert. In den Bildern 2.9 und 2.10 sind Transitfrequenzen f_t und Grenzfrequenzen f_{max} in Abhängigkeit vom Kollektorstrom mit der Emitterfläche als Parameter dargestellt.

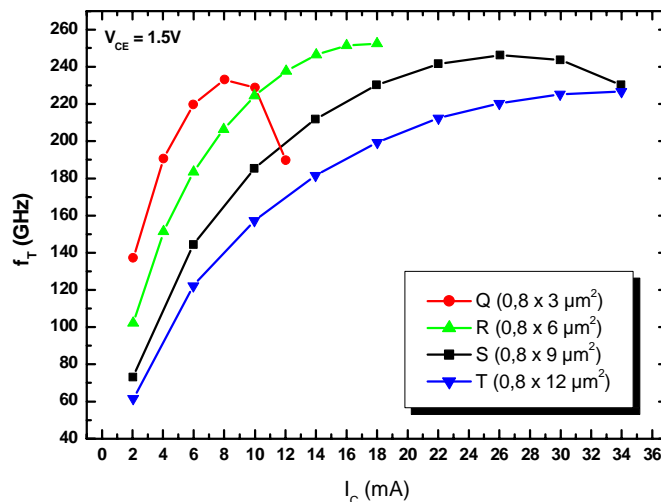


Bild 2.9: Transitfrequenz f_t als Funktion des Kollektorstroms mit der Emitterfläche als Parameter (bei $U_{\text{CE}} = 1,5\text{V}$).

Transistoren mit Emitterabmessungen im Bereich von $0,8 \times 6$ und $0,8 \times 9 \mu\text{m}^2$ zeigen die höchsten maximalen f_t -Werte. Bei größeren oder auch kleineren Designs fallen diese deutlich ab. Der gemessene f_t -Abfall ist bei den sehr kleinen Strukturen wesentlich auf das immer ungünstiger werdende Verhältnis von aktiver Transistorfläche zur Peripherie zurückzuführen, so dass die realen Transistordaten nur noch durch eine rechnerische Subtraktion der Peripherieeffekte zu erfassen sind (vgl. Abschnitt 3.1). Bei größeren Emitterlängen spielen zunehmend die Effekte der inhomogenen Stromverteilung auf dem Emitterfinger eine dominierende Rolle, so dass in diesen Fällen die Stromdichte über den Emitterfinger nicht konstant ist und daher nur für jeweils kleine Emitterbereiche die hinsichtlich der Geschwindigkeit optimale Stromdichte erreicht wird.

Der f_{max} -Wert skaliert deutlich mit der Emitterlänge, da der Anteil der parasitären Größen bei abnehmender Emitterlänge und sonst prinzipiell gleicher Umgebung immer kleiner wird. Insbesondere nimmt bei den kleinen Transistoren der begrenzende Einfluss des

noch relativ hohen Basisschichtwiderstands anteilig immer mehr ab. Mit den kleinsten Transistoren (Typ Q; $A_E = 0,8 \times 3 \mu\text{m}^2$) gelang es, ein f_{max} von 185 GHz zu erreichen. In den Schaltungen wurden als aktive Bauelemente DHBTs mit Emitterflächen von $0,8 \times 6 \mu\text{m}^2$ bis $0,8 \times 10 \mu\text{m}^2$ verwendet.

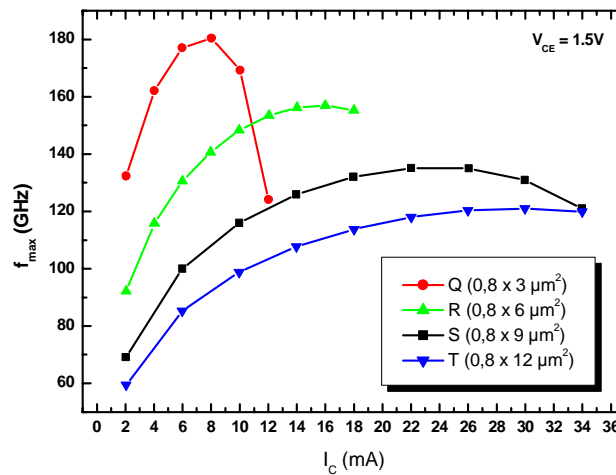


Bild 2.10: Grenzfrequenz f_{max} als Funktion des Kollektorstroms mit der Emitterfläche als Parameter (bei $U_{\text{CE}} = 1,5\text{V}$).

Die Verbesserung der Hochfrequenzeigenschaften durch Reduktion des Basiswiderstands ist in Bild 2.11 zu sehen. Die Emitterfläche dieses DHBTs beträgt $0,8 \times 10 \mu\text{m}^2$, wodurch hohe Stromtragfähigkeit und gute Hochfrequenzeigenschaften verbunden werden. Verwendet wurden am FBH mit MOVPE gewachsene, in-situ getemperte Schichten. Die Basis ist 30 nm dick und verfügt über einen Schichtwiderstand von ca. $900 \Omega/\text{sq}$. Sowohl f_t als auch f_{max} erreichen Maximalwerte von 270 GHz. Damit ist das Projektziel für die Transistoreigenschaften voll erfüllt.

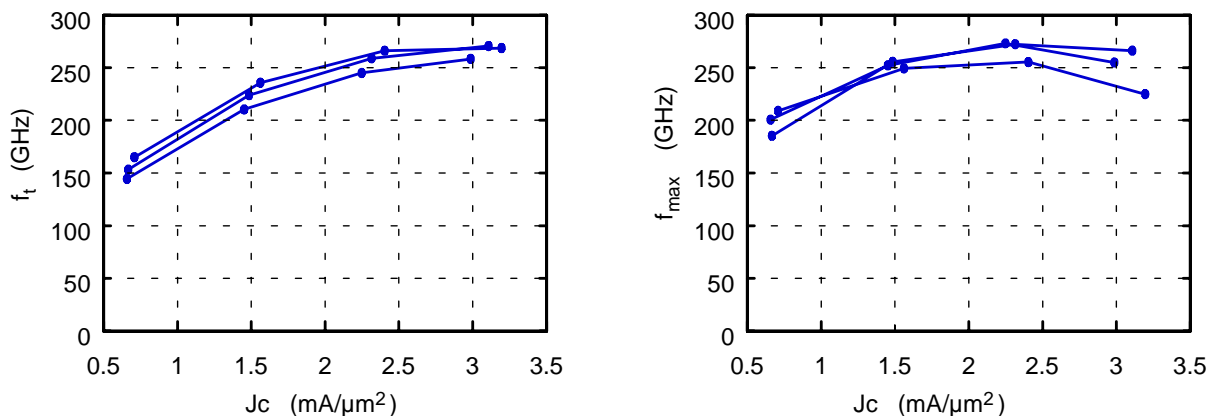


Bild 2.11: DHBT1: Hochfrequenzeigenschaften des mit MOCVD gewachsenen (und in-situ getemperten) InP-DHBTs ($A_E = 0,8 \times 10 \mu\text{m}^2$, Basisbahnwiderstand $R_{\text{SB}} \approx 900 \Omega/\text{sq}$, $V_{\text{CE}} = 1,2, 1,5$ und $1,8 \text{V}$).

3. Arbeitspaket 3 Schaltungen

Aufgrund der begrenzten Projektlaufzeit mussten Schaltungs- und Prozessentwicklung parallel erfolgen. Um dies zu ermöglichen, wurde auf die am FBH etablierte GaAs-basierte HBT-MMIC Technologie zurückgegriffen. Diese Entkopplung gestattete es, die Anzahl der Entwürfe und den Durchsatz deutlich zu erhöhen. Systematische Untersuchungen von Schaltungskonzepten wurden daher in dieser, dem InP-Prozess ähnlichen Technologie durchgeführt, während auf InP Demonstrator-Schaltungen realisiert wurden.

Der Schwerpunkt bei der Schaltungsentwicklung lag auf den Breitbandverstärkern, die im System als Eingangsverstärker und Modulatortreiber Schlüsselfunktionen übernehmen. Diese wurden als Wanderwellenverstärker (Travelling Wave Amplifier, TWA) entworfen, weil in dieser Topologie zum einen das Gewinn-Bandbreiten-Produkt maximiert werden kann, zum anderen verfügen TWAs über gute Eingangs- und Ausgangsanpassung. Neben dem Entwurf der Schaltungen wurden weitergehende Untersuchungen durchgeführt, z.B. die Frage nach dem Zusammenhang zwischen den Grenzfrequenzen der Transistortechnologie und der damit aufgebauten TWA-Schaltungen, sowie welcher Frequenzverlauf der Verstärkung (Bessel- oder Tschebycheff-Charakteristik) optimale Augendiagramme liefert.

Im Hinblick auf die Realisierung eines Modulators sind weitere Aspekte von Bedeutung. Eine wesentliche konzeptionelle Herausforderung stellt die Kopplung zweier TWAs auf einem Chip dar. Das übliche Verfahren – hybride Zusammenschaltung mit externem Kopplernetzwerk – kann bei den betrachteten hohen Frequenzen nicht mehr angewandt werden. Zu diesem Themenbereich sind Lösungen entwickelt worden.

Für den Schaltungsentwurf auf InP wurden die GaAs-Modelle adaptiert. Das Transistorlayout wurde mit Hilfe der elektromagnetischen Simulation optimiert, um die extrinsischen Elemente zu minimieren.

Als Demonstrator-Schaltungen wurden auf InP einstufige Wanderwellenverstärker bis oberhalb 50 GHz und Oszillatoren bei 80 GHz realisiert.

Die einzelnen Ergebnisse aus Theorie und Messung sind im Folgenden dargestellt, beginnend mit der Modellierung (3.1) und einer Übersicht der InP-Schaltungen (3.2). Der Hauptteil ist der Optimierung des TWA-Konzeptes (3.3) sowie dem für den Einsatz in Modulatorsystemen wichtigen Konzepten zur Hintereinanderschaltungen mehrerer Verstärker gewidmet. Diese Schaltungen wurden auf GaAs demonstriert.

3.1 Modellierung

Als Basis für die Modellierung sowohl der passiven Elemente (Leitungen, Leitungsdiskontinuitäten, Induktivitäten, Kapazitäten, Widerstände) als auch der HBTs stand die umfangreiche Modellbibliothek des GaAs-MMIC-Prozesses zur Verfügung. Diese wurden entsprechend adaptiert, sowohl auf Basis von Teststrukturen und Messungen, und soweit möglich, auch mit Hilfe elektromagnetischer Simulation. Auch das am FBH entwickelte HBT-Modell konnte einschließlich des Parameterextraktions-Algorithmus übernommen werden.

Ein wichtiger Punkt war die Optimierung des HBT-Layouts, da die durch die Anschlussmetallisierung verursachten extrinsischen parasitären Kapazitäten und Induktivitäten zu einer merklichen Verschlechterung des Hochfrequenzverhaltens führen können. Diese Optimierung wurde mit Hilfe elektromagnetischer Simulation durchgeführt, wodurch der

Einfluss der Metallisierungen innerhalb der Transistorzelle direkt untersucht werden konnte. Eine Simulationsstruktur ist in Bild 3.1 gezeigt, Bild 3.2 stellt exemplarisch den Einfluss von Emitterlänge l_E und Breite der Basismetallisierung b_B auf die parasitäre Kollektor-Emitter-Kapazität dar.

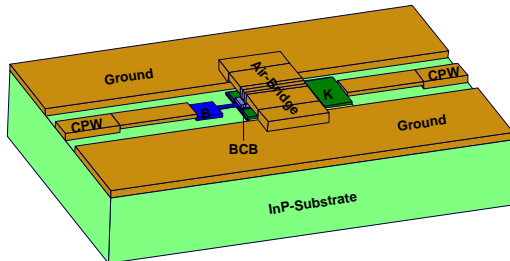


Bild 3.1: Simulierte HBT-Struktur

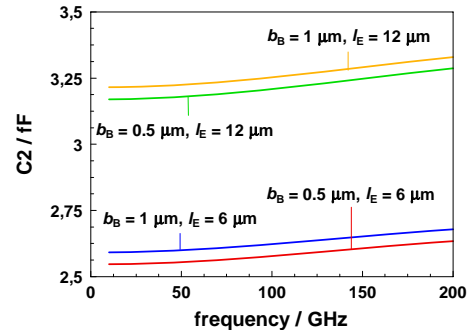


Bild 3.2: Simulierte parasitäre Kollektor-Emitter Kapazität (ohne Anschlussleitungen) für verschiedene Emitterlängen l_E und Breiten der Basismetallisierung b_B .

3.2 Demonstrator-Schaltungen auf InP (Übersicht)

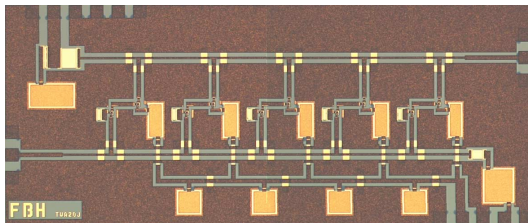


Bild 3.3: Chipfoto: Breitbandverstärker (TWA) auf InP.

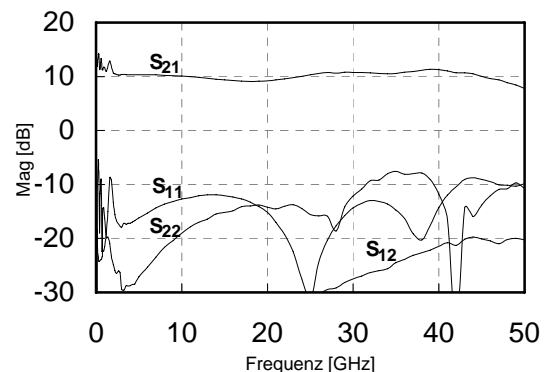


Bild 3.4: S-Parameter-Messung der Schaltung aus Bild 3.3.

Auf der entwickelten InP-HBT-Technologie (vgl. Abschnitt 2) wurden Wanderwellenverstärker mit bis zu 10 Transistoren realisiert. Eine Anordnung von fünf parallelen Zellen erwies sich dabei als besonders günstig (siehe Bild 3.3). Jede Zelle besteht aus zwei HBTs mit $0,8 \times 8 \mu\text{m}$ Emitterfläche, die als Kaskode geschaltet sind. Diese Grundzellen zeichnen sich durch geringe Rückwirkung und niedrige resistive Belastung der Ein- und Ausgangsleitungen bei hohem Gewinn-Bandbreiten-Produkt aus.

Um Bandbreite und Eingangsimpedanz der Kaskode zu erhöhen, wurden Rückwirkungswiderstände am Emitter des ersten Transistors eingefügt. Weitere Punkte, denen besondere Beachtung im Entwurf zukam, waren die Entkopplung der Bias-Netzwerke (kritisch ist hier die große Bandbreite, insbesondere aber der Bereich tiefer Frequenzen) und die Gewährleistung einer einheitlichen Masse für alle Transistoren trotz der großen Abmessungen der Schaltung. Dies wurde erzielt, indem durch möglichst kurze Strompfade innerhalb der Kaskode-Zellen sichergestellt wurde, dass eine lokale Masse als Bezugspunkt wirksam ist.

Der Demonstrator-Chip erreichte auf InP eine Bandbreite von über 50 GHz und eine über den Frequenzverlauf sehr konstante Verstärkung von 10 dB, wobei Eingangs- und Ausgangsanpassung besser als -8 dB liegen (siehe Bild 3.4). Die Abweichungen im unteren Frequenzbereich sind auf den Einfluss der in der Messung verwendeten DC-Nadeln zurückzuführen, die nicht über Blockkondensatoren verfügten.

Neben Breitbandverstärkern wurden Oszillatoren im 80 GHz-Bereich realisiert, die z.B. für die Taktregeneration benötigt werden. Bild 3.5 zeigt exemplarisch ein Chipfoto. Es handelt sich um einen Reflexionsoszillator. Bei diesem Oszillatortyp werden zwei Tore des Transistors mit möglichst verlustarmen Admittanzen so beschaltet, dass sich am verbleibenden dritten Tor ein Reflexionsfaktor r mit einem Betrag größer als 1 ergibt. Durch phasenrichtige Beschaltung dieses Tores wird die Resonanzfrequenz des Oszillators eingestellt.

In Bild 3.6 ist das Spektrum eines realisierten Oszillators gezeigt. Die Reflexionsfaktor-Bedingungen an den Toren wurden sämtlich mit koplanaren Leitungen realisiert. Für die Modellierung der Diskontinuitäten (Leitungsknicke und T-Verzweigungen) wurden die am FBH vorhandenen Modelle aus der GaAs-MMIC Bibliothek adaptiert. MIM-Kapazitäten wurden lediglich als Blockkondensatoren für die DC-Zuführung und als Koppelkondensator für das Ausgangssignal verwendet. Die Chipfläche der Schaltung beträgt $874 \times 1150 \mu\text{m}^2$. Bei einer Resonanzfrequenz von 76.04 GHz wurde eine Ausgangsleistung von -22 dBm gemessen. Ein resistives 10 dB Dämpfungsglied am Ausgang verhindert „load-pull“ Effekte bei der on-wafer-Messung des Oszillators.

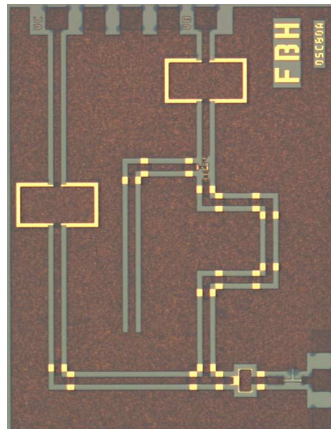


Bild 3.5: Chipfoto eines Oszillators

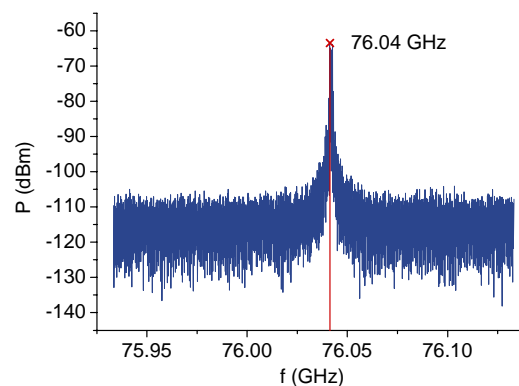


Bild 3.6: Ausgangsleistung des Oszillators (siehe Bild 3.5), gemessen mit dem Spektralanalysator.

3.3 Optimierung einstufiger TWAs

Die im Breitbandbetrieb bei hohen Bitraten erreichte Grenzfrequenz lässt sich nicht in einfacher Weise aus den Transitfrequenzen der verwendeten Transistoren herleiten. Dies erschwert das Design, da weder eine a-priori-Angabe der maximal möglichen Bitraten anhand der Transistorparameter möglich ist noch ein Anhaltspunkt existiert, in wieweit ein konkretes Design dem allgemeinen Optimum nahe kommt.

Es wurde deshalb theoretisch untersucht, wie die 3-dB-Grenzfrequenz f_c eines Kaskodebasierten TWA von den Transistor- und Schaltungsparametern abhängt. Unter leicht vereinfachten Annahmen wurden analytische Beziehungen abgeleitet, auf deren Basis ein

TWA entworfen werden konnte, der über ein f_c von 42 GHz verfügt, im Vergleich zu einem f_t der HBTs von nur 36 GHz. Dies wird ermöglicht durch das für die dabei verwendete GaAs-Technologie extrem hohe f_{max} von ca. 170 GHz. Die Ergebnisse sind in [4] detailliert beschrieben. Gemessene S-Parameter dieses Verstärkers sind in Bild 3.7 dargestellt. Der TWA verfügt über 6 dB Verstärkung, die Eingangsanpassung ist besser als -5 dB, die Ausgangsanpassung ist besser als -15 dB über die gesamte Bandbreite.

Da die Breitbandverstärker in Modulator-Treibern eingesetzt werden sollen, ist nicht allein das Kleinsignalverhalten von Belang, sondern auch die Großsignaleigenschaften. Es wurde daher untersucht, in wieweit die Kleinsignaleigenschaften eines TWAs als Indikatoren für das Großsignal-Zeitbereichs-Verhalten gewertet werden können [7]. Dazu wurden, basierend auf einer fünfzelligen TWA-Grundstruktur, drei Verstärker entworfen, die sich nur im Detail unterscheiden. Da das Interesse hier auf der Vergleichbarkeit und nicht auf Rekordwerten bei den Grenzfrequenzen liegt, wurden HBTs mit $3 \times 30 \mu\text{m}^2$ Emitterfläche verwendet, was die erreichbaren Grenzfrequenzen auf den Bereich um 25 GHz mit 10 dB konstanter Verstärkung einschränkt. Folgende TWAs wurden realisiert:

- „Tschebycheff-Typ I“: Bei diesem TWA wurde der Gain-Ripple bei möglichst hohem f_c optimiert. Die Verstärkung von 9 dB schwankt über die gesamte Bandbreite von 27 GHz um weniger als 1 dB.
- „Tschebycheff-Typ II“: Hier wurde die Bandbreite maximiert, $f_c=30$ GHz wurde erreicht. Die Verstärkung sank dadurch auf 5 dB, mit 2,5 dB Gain-Ripple.
- „Bessel-Typ“: Dieser TWA wurde auf maximale Verstärkung (12 dB) optimiert. Anders als bei den beiden anderen Typen ähnelt die Verstärkung dieses TWAs eher der Kurve eines Bessel-Filters mit einer geringeren Bandbreite von 24 GHz, aber einem günstigeren Verlauf der Gruppenlaufzeit.

Kleinsignalmessungen der drei TWAs sind in Bild 3.8 verglichen. Die Bilder 3.9..3.14 zeigen die zugehörigen Augendiagramme für 20 und 40 GBit/s, die bei $0,5 V_{pp}$ Eingangssignal gemessen wurden³. Diese Datenraten liegen wenig unter bzw. deutlich über der Grenzfrequenz der TWAs.

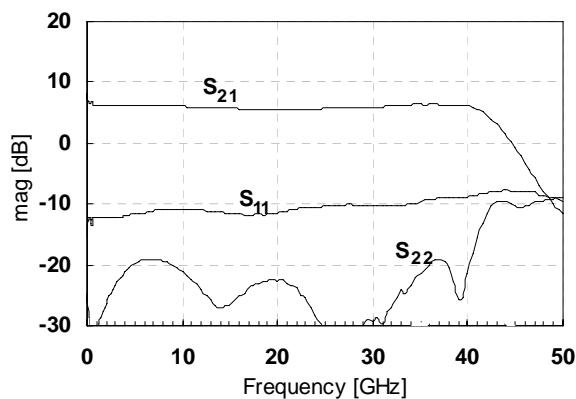


Bild 3.7: Gemessene S-Parameter des TWA mit $f_c=42$ GHz (bei einem $f_t=36$ GHz der HBTs).

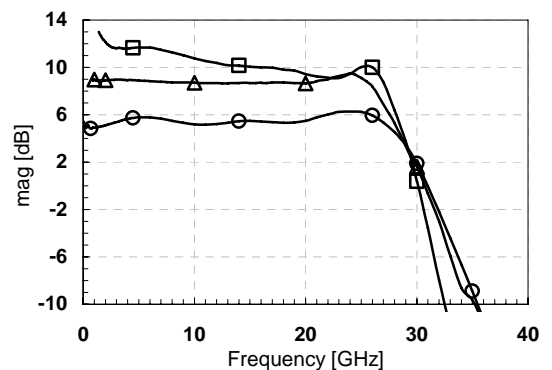


Bild 3.8: Betrag des S-Parameters S_{21} als Funktion der Frequenz für drei TWAs: (o): Bessel-Typ, (Δ) Tschebycheff-Typ I, (□) Tschebycheff-Typ II.

³ Alle in diesem Bericht vorgestellten Augendiagramm-Messungen wurden beim Projektpartner FhG-IAF in Freiburg durchgeführt.

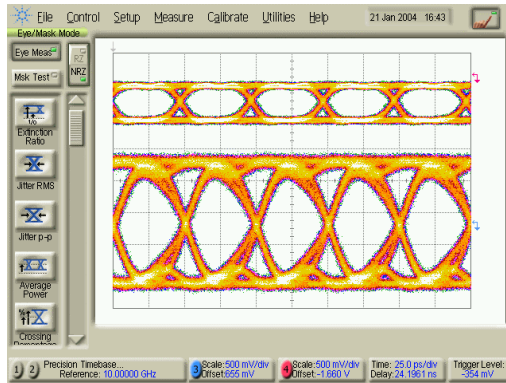


Bild 3.9: Augendiagramm für Bessel-Typ TWA für 20 GBit/s: 2 V_{pp} am Ausgang (unten) bei 0,5 V_{pp} am Eingang (oben). (Skala 0,5 V/div).

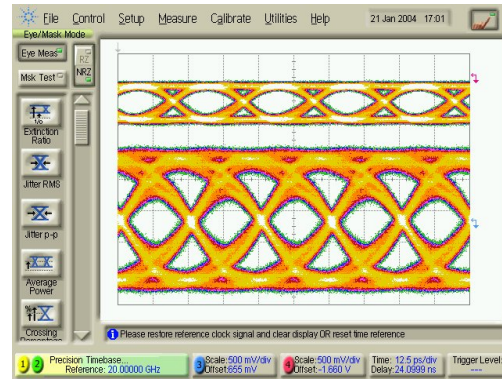


Bild 3.10: Augendiagramm für Bessel-Typ TWA für 40 GBit/s: 2 V_{pp} am Ausgang (unten) bei 0,5 V_{pp} am Eingang (oben). (Skala 0,5 V/div).

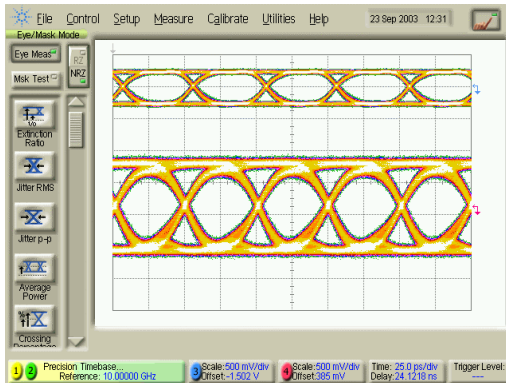


Bild 3.11: 20 GBit/s-Augendiagramm für Tschebycheff-Typ I TWA. Ausgangs- (unten) und Eingangssignal (oben). (Skala 0,5 V/div).

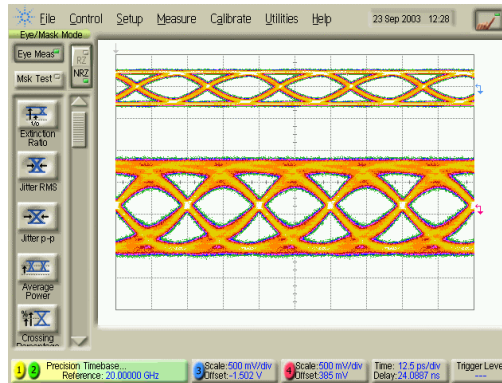


Bild 3.12: 40 GBit/s-Augendiagramm für Tschebycheff-Typ I TWA. Ausgangs- (unten) und Eingangssignal (oben). (Skala 0,5 V/div).

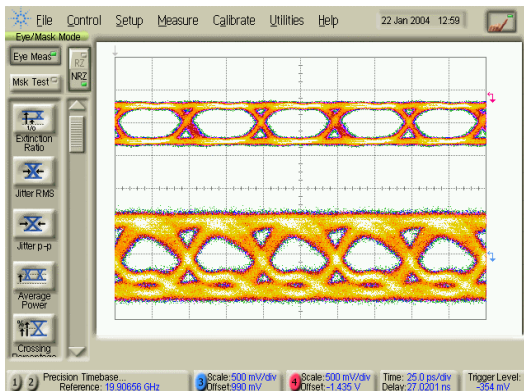


Bild 3.13: 20 GBit/s-Augendiagramm für Tschebycheff-Typ II TWA. Ausgangs- (unten) und Eingangssignal (oben). (Skala 0,5 V/div).

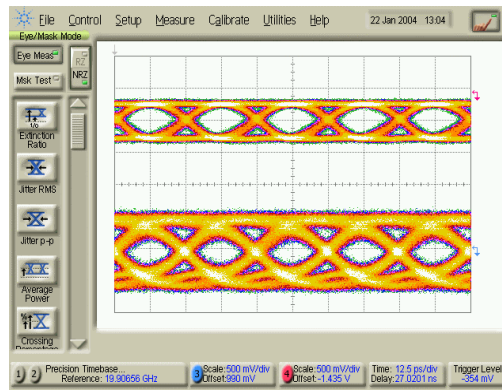


Bild 3.14: 40 GBit/s-Augendiagramm für Tschebycheff-Typ II TWA. Ausgangs- (unten) und Eingangssignal (oben). (Skala 0,5 V/div).

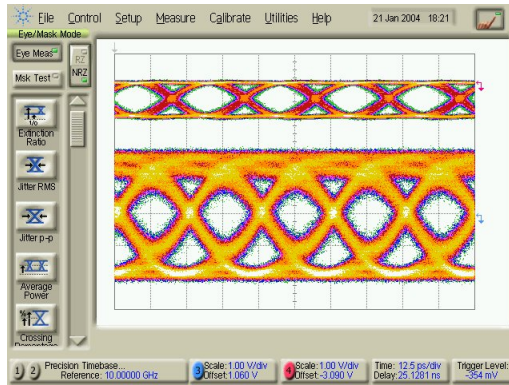


Bild 3.15: 40 GBit/s-Augendiagramm für Bessel-Typ TWA. Maximales Ausgangssignal $4 V_{pp}$ (unten) bei $1 V_{pp}$ Eingangssignal (oben). (Skala 1 V/div).

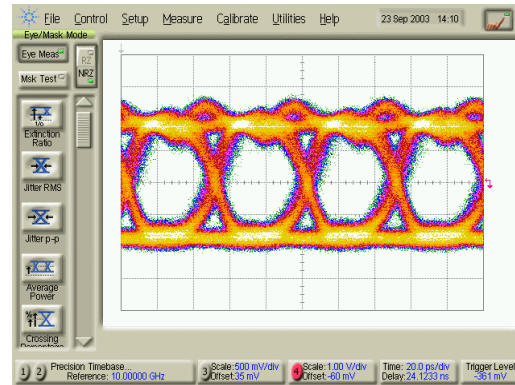


Bild 3.16: 20 GBit/s-Augendiagramm für Tschebycheff-Typ I TWA. Maximales Ausgangssignal (unten) bei $1,7 V_{pp}$ Eingangssignal (oben). (Skala 0,5 V/div).

Ein eindeutiger Schluss lässt sich aus dem Vergleich der Tschebycheff-Typen ziehen. Der Gain-Ripple von 2,5 dB im Durchlassbereich lässt die Augendiagramme so stark degradieren, dass die zusätzliche Bandbreite ohne positive Auswirkung bleibt. Eine flache Verstärkungskurve ist also klar von Vorteil. Der Bessel-Typ TWA zeigt hingegen, trotz seiner geringeren Bandbreite, eine weitere Verbesserung der Augendiagramme bei 40 Gbps, nicht jedoch bei 20 Gbps. Auch im Hinblick auf den maximalen Ausgangsspannungshub ist dieser TWA überlegen (siehe Bilder 3.15 und 3.16). Der Bessel-Typ scheint daher der beste Kompromiss bei hohen Spannungshüben und Bitraten oberhalb der Grenzfrequenz zu sein.

3.4 On-Chip Kopplung zweier TWAs

Die direkte DC-Kopplung zweier Wanderwellenverstärker auf einem gemeinsamen Chip ist eine Schlüsselthematik bei 80 GB/s. Die Problematik dabei ist die folgende: um den für einen Modulator benötigten Spannungshub erzeugen zu können, ist eine Spannungsverstärkung von über 20 dB erforderlich. Dazu müssen zwei TWAs, die eine Verstärkung von typisch je 10 dB erreichen, hintereinander geschaltet werden. Da die DC-Versorgungsspannung am Ausgang des ersten TWA typisch 8 V beträgt, am Eingang des zweiten TWAs aber eine Versorgungsspannung von ca. 2 V anliegt, müssen die beiden Verstärker DC-mäßig entkoppelt sein. Aufgrund der hohen Frequenzen ist aber eine breitbandige Kopplung außerhalb des Chip, wie bei niedrigeren Bitraten üblich, nicht möglich, so dass die DC-Trennung on-chip realisiert werden muss (siehe Bild 3.17).

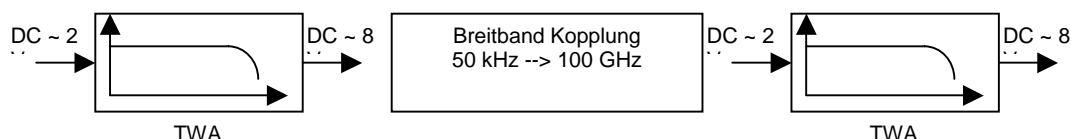


Bild 3.17: Hintereinanderschaltung zweier TWAs

Insgesamt wurden dazu fünf Konzepte evaluiert. Die Bilder 3.18 und 3.19 zeigen die Schaltungsvarianten. Die ersten zwei Varianten verwenden separate Schaltungen, die zwischen die TWAs geschaltet werden (Bild 3.18 (a,b)). Im Falle der kapazitiven Kopplung

in Bild 3.18 (a) wird dem HF-Pfad eine große Kapazität parallel geschaltet, die die Übertragung der niederfrequenten Anteile gewährleistet. Der Diodenshifter in Bild 3.18 (b) hingegen gewährleistet eine direkte DC-Kopplung. Die zwei folgenden Konzepte passen die Eingangsspannung der zweiten Stufe an die Ausgangsspannung der ersten an. Im einen Fall wird das Emittential durch Anlegen einer zusätzlichen externen Spannung verschoben (Bild 3.19 (a)), im anderen Fall wird der Diodenshifter nicht zwischen die beiden TWAs geschaltet, sondern verteilt in die Verstärkerzellen des zweiten TWAs integriert (siehe Bild 3.20 (b)).

Die Verwendung eines Differenzverstärkers statt der Kaskode-Schaltung als Elementarzelle (Bild 3.9 (c)) schließlich erlaubt direkt die Anpassung der Ausgangsversorgungsspannung des ersten TWAs an die Eingangsspannung des nachfolgenden.

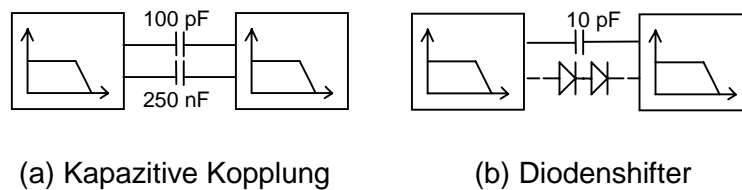


Bild 3.18: Varianten zur Realisierung der DC-Entkopplung

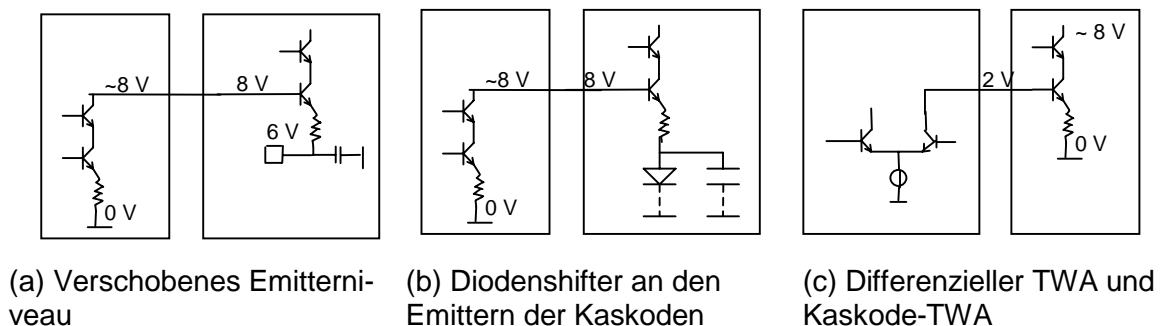


Bild 3.19: Varianten zur Realisierung der DC-Entkopplung

Zwei Ergebnisse sollen hier exemplarisch beschrieben werden: Das Diodenshifter-Konzept und die auf differenziellen TWAs basierende Schaltung.

3.4.1 Das Diodenshifter-Konzept

Zwischen dem Ausgang der ersten und dem Eingang der zweiten Stufe muss eine DC-Spannungsdifferenz von ca. 6 V erreicht werden. Dies geschieht in diesem Fall durch die Reihenschaltung von fünf vorwärts gepolten Basis-Emitter Dioden. Eine Herausforderung stellt der hohe Serienwiderstand dieser Anordnung dar. Bei hohen Frequenzen ist es möglich, diesen durch Parallelschaltung einer genügend großen Kapazität (in unserem Fall ca. 10 pF) unschädlich zu machen.

Die Integration auf dem Chip schränkt jedoch die maximal möglichen Kapazitätswerte stark ein, so dass der Diodenshifter allein zu einer signifikanten Degradation des Gewinns im unteren Frequenzbereich führt. Diese frequenzabhängige Dämpfung muss in der Gesamtschaltung kompensiert werden, da die Qualität der Augendiagramme sonst degradie-

ren würde. Das hier vorgestellte neuartige Konzept sieht vor, den Gewinn des ersten TWA im unteren Frequenzbereich entsprechend anzuheben.

Eine Simulation der modifizierten Verstärkungskurve ist in Bild 3.21 gezeigt. Das Anheben der Verstärkung im unteren Frequenzbereich kann durch Variation der Abschlusswiderstände der Eingangs- und Ausgangsleitungen erreicht werden. Dieses Konzept und seine Realisierung haben den Vorteil, dass eine direkte Kopplung über die gesamte Bandbreite ohne untere Grenzfrequenz hergestellt ist. Einzelheiten sind in [5] beschrieben.

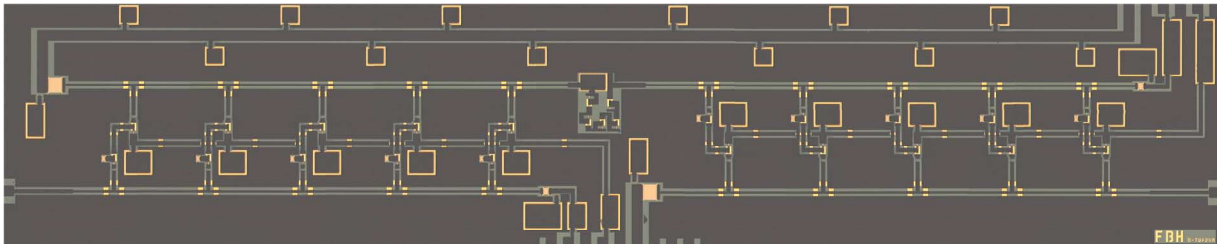


Bild 3.20: Diodenshifter-gekoppelte TWA-Kette.

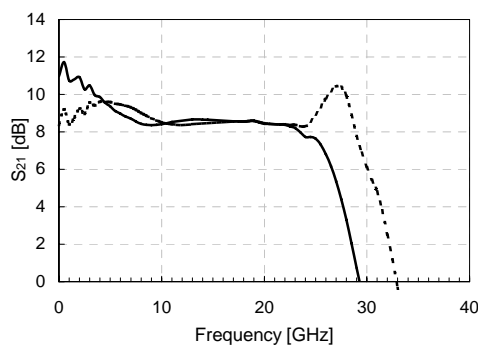


Bild 3.21: Simulierte Verstärkung des ersten TWA (- -): flacher Frequenzgang, (—): modifizierte Verstärkung.

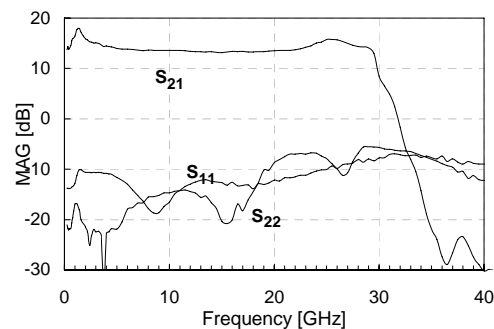


Bild 3.22: Gemessene S-Parameter des zweistufigen TWA Bild 3.10.

Ein Foto der realisierten Schaltung zeigt Bild 3.20, die gemessenen S-Parameter sind in Bild 3.22 aufgetragen. Der Verstärker zeigt einen flachen Frequenzverlauf der Verstärkung von ca. 15 dB, bei einer Bandbreite von 29 GHz (damit werden 78% von f_t erreicht). Der Diodenshifter führt zu einer nur leichten Reduktion der Verstärkung von etwa 1,5 dB gemessen an einer einfachen Addition der Ergebnisse der Einzelverstärker.

3.4.2 Differentieller TWA gekoppelt mit Kaskode-TWA

Bei diesem Konzept wird wieder ein kaskoden-basierter TWA als zweite Verstärkerstufe verwendet. Die erste Stufe jedoch ist aus Differenzverstärker-Zellen zusammengesetzt. Der Vorteil hinsichtlich der Bias-Versorgung ist darin zu sehen, dass die Eigenschaften des Strompfads durch die Stromquelle – vom DC-Anschluss zur virtuellen Masse – keine Rolle spielen, solange die Gleichtaktunterdrückung hinreichend gut ist. In unserem Fall hat sich ein Widerstand von 100 Ω als guter Kompromiss erwiesen. Zudem kann ein differentieller Verstärker die Signalqualität aufgrund seiner Schalteigenschaft verbessern. Die Topologie des differentiellen TWA ist in Bild 3.23 dargestellt. Da keine symmetrischen Signale benötigt werden, wird nur an einem der beiden Zweige des Differenzverstärkers eingespeist und abgegriffen. Dieser Zweig ist zur Verbesserung der HF-Eigenschaften als Kaskode ausgeführt, was eine Erhöhung der Bandbreite um 20 % zur Folge hat.

Messungen des gekoppelten TWA ergaben eine Verstärkung von 18 dB, bei einer Bandbreite von 23 GHz. Dies ist nur unbedeutend weniger als die Summe der Verstärkungen der einzelnen TWAs bei einer Bandbreite, die der des zweiten TWA in der Kette entspricht. Bild 3.24 und Bild 3.25 zeigen Chipfoto und Messungen der Verstärkerkette.

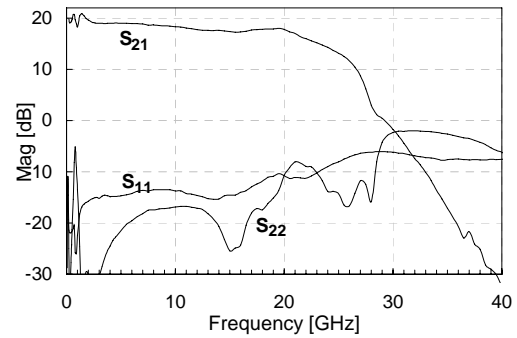
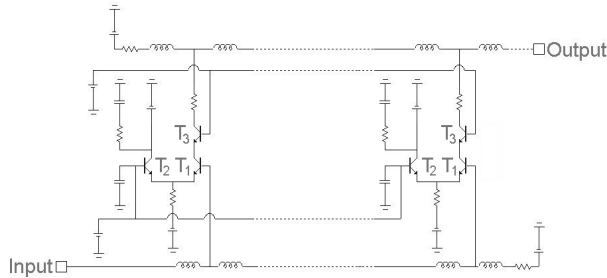


Bild 3.23: Schaltbild des differentiellen TWA

Bild 3.24: Gemessene S-Parameter des differentiell gekoppelten TWA.

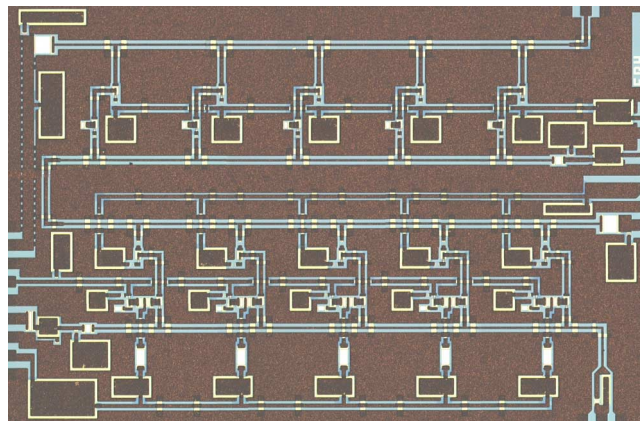


Bild 3.25: Differenziell-gekoppelte TWAs.

3.5 Zusammenfassung Schaltungen

Zusammenfassend bleibt festzuhalten, dass, obwohl die für die Schaltungsentwicklung verbliebene Zeit wegen des großen Aufwands für die Prozessentwicklung knapp bemessen war, wichtige Beiträge zur Entwicklung von Breitbandverstärkern für hochbitratige Schaltungen und deren Zusammenschaltung zu Einheiten mit genügender Verstärkungsreserve geleistet wurden.

III. Liste der Veröffentlichungen und Schutzrechtsanmeldungen

1. Veröffentlichungen und Konferenzbeiträge

1. M. Rudolph, R. Doerner, „Large-Signal HBT Model Requirements to Predict Nonlinear Behaviour“ *in: IEEE MTT-S Int. Microwave Symp. Dig.*, 2004, S. 43 – 46.
2. Ch. Meliani, M. Rudolph, J. Hilsenbeck, W. Heinrich, „A GaAs-HBT Distributed Amplifier with Near- f_T Cut-off Frequency for High-Bitrate Transmissions“, *in: 34th European Microwave Conf. Dig.*, 2004, 341 – 344, und *in: Dig. 12th GAAS Symposium*, 2004, 535 – 538.
3. Ch. Meliani, M. Rudolph, J. Hilsenbeck, W. Heinrich, „A 40 Gbps Broadband Amplifier for Modulator-Driver Applications Using a GaAs HBT Technology“, *in Proc. IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 2004, 281 – 284.
4. Ch. Meliani, M. Rudolph, W. Heinrich, „A 40 Gbps GaAs-HBT Distributed Amplifier with an Over- f_T Cut-Off Frequency: Analytical and Experimental Study“, *in: IEEE MTT-S Int. Microwave Symp. Dig.*, 2005, 1857 – 1860.
5. Ch. Meliani, M. Rudolph, W. Heinrich, „On-Chip GaAs-HBT Broadband-Coupled High-Bitrate Modulator Driver TWAs“, *in: 35th European Microwave Conf. Dig.*, 2005, und *in: Dig. 13th GAAS Symposium*, 2005.
6. R. Driad, K. Schneider, R.E. Makon, R. Aiadam, G. Weimann, M. Rudolph, Ch. Meliani, P. Kurpas, S.O. Kim, W. Heinrich, J. Würfel, S. Topaloglu, J. Driesen, F.J. Tegude, „InP-based DHBT Technology for High Speed Circuit Applications“, *IEEE ED Germany Chapter Meeting*, Stuttgart, 10. Oktober 2005.
7. Ch. Meliani, M. Rudolph, „Experimental Study of Time-Domain to Frequency-Domain Correlation for GaAs-HBT Based TWAs for 20 Gbps and 40 Gbps“, *in: German Microwave Conf. Dig.*, 2006.

2. Schutzrechtsanmeldungen

- Am 1. 7. 2003 eingereichtes Patent, amtl. Aktenzeichen: 103 30 359.6
Thema: „Verfahren zur Herstellung von InP-Basierten Heterostruktur-Bipolartransistoren auf Grundlage von III/V-Halbleitern“